

熱応力を低減したジョセフソン電圧標準素子の冷凍機実装

Cryo-packaging for Josephson voltage standard chip with reduced thermal stress.

産総研 ○山森弘毅, 丸山道隆, 天谷康孝, 島崎毅

AIST, ○Hirotake Yamamori, Michitaka Maruyama, Yasutaka Amagai, Takeshi Simazaki

E-mail: h.yamamori@aist.go.jp

直流電圧の国家標準として、我々はジョセフソン接合アレーを用いた電圧標準をこれまで開発してきた。10V の出力電圧を得るために約 10mA のバイアス電流と約 0.2W のマイクロ波で、チップの消費電力は約 0.3W と非常に大きい。この素子を冷凍機で冷却するには良好な熱コンタクトが必要で、これまで電圧標準チップを低融点はんだ InSn で銅板に固定してきた[1]。ところがこの方法では、チップと銅板の熱収縮率が大きく異なるため銅板の収縮によりチップに大きな熱応力がかかり、チップが破損することがあった。そこで、銅板の代わりにシリコンチップと比較的熱収縮率が近く、熱伝導率の大きいサファイアを基板として使うことで、シリコンチップの破損を回避してきたが[2]、加工が困難でコストが大きいという問題があった。

そこで、加工が容易でコストの安い銅板でチップの熱応力を減らす実装方法を提案する。銅板にスリットを設けることで、チップの熱応力を約半分に低減できることが数値シミュレーションで確認できた。計算では線膨張係数の温度依存性を考慮せず室温の値を用いているため、計算された応力の値は信頼できないが、スリットを設けることで熱応力が大きく減少することは定性的に確認できる。また、スリットを設けることによるチップの温度上昇と温度分布も実用上問題にならないことが数値計算で確認できた。実際にこの手法で素子を実装してみると、想定していなかった別の利点も判明したが、それについても当日紹介する。

[1] H.Takahashi et al., Physica C-Supercond. and its Appli., vol.518, pp89-95, 2015.

[2] H.Yamamori et al., 15th International Superconductive Electronics Conference (Isec), Nagoya, 2015.

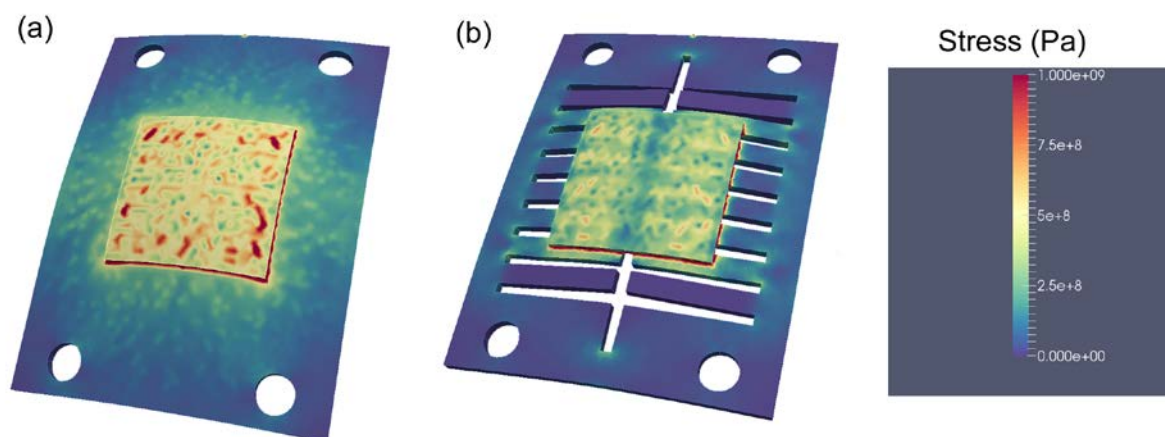


図 Numerically calculated thermal stress cooled at 10 K (a) without slit and (b) with slits.

謝辞：本研究の一部は、科研費 17K06481 の助成を受けています。