

超音波半田を用いたジョセフソン電圧標準用素子実装の検討

Study of cryo-packaging for Josephson voltage standard chip using supersonic solder

産総研 ○丸山 道隆, 山森 弘毅, 島崎 毅, 天谷 康孝

AIST, °Michitaka Maruyama, Hirotake Yamamori, Takeshi Shimazaki, Yasutaka Amagai

E-mail: m-maruyama@aist.go.jp

超伝導素子の冷凍機実装においては、素子と冷却ステージとの間の良好な熱接触を得ることが重要となる。これまでの研究で、ジョセフソン電圧標準 (JVS) 素子の発熱によるバイアス電流動作点の変動が問題となり、素子チップと実装用サファイア基板との間の InSn 半田層に意図せず生じた空洞 (ボイド) の存在が変動の原因となる可能性について検討した[1]-[2]。従来の我々の手法では、InSn 半田層の形成時に、濡れ性を高めるためフラックスを用いており、高温で気化したフラックスが気泡として半田層内に残留した結果、ボイドが生じていたと考えられる。そこで今回、InSn 半田層の形成時に超音波半田ごてを用いることにより、フラックスを用いずに半田層を形成することを検討した。

Fig. 1 に、(a)フラックスを用いた従来の手法と(b)超音波半田によるフラックスを用いない手法で作成した各試料における InSn 半田層の観察結果を示す。観察には走査超音波顕微鏡 (SAM) を用いた。黒い (コントラストが濃い) 領域と白い (薄い) 領域がそれぞれ InSn 半田とボイドに対応する。図のコントラストから、従来の手法では面積比で約 78 % 存在したボイドが、超音波半田の使用により、約 34 % に減少することが確認された。現在、これらの結果の再現性や、冷凍機実装における熱接触への影響について調査中である。

[1] 丸山他, 電子情報通信学会ソサイエティ大会, C-8-5, 2014 年.

[2] 高橋他, 応用物理学会秋季学術講演会, 19p-A22-2, 2014 年.

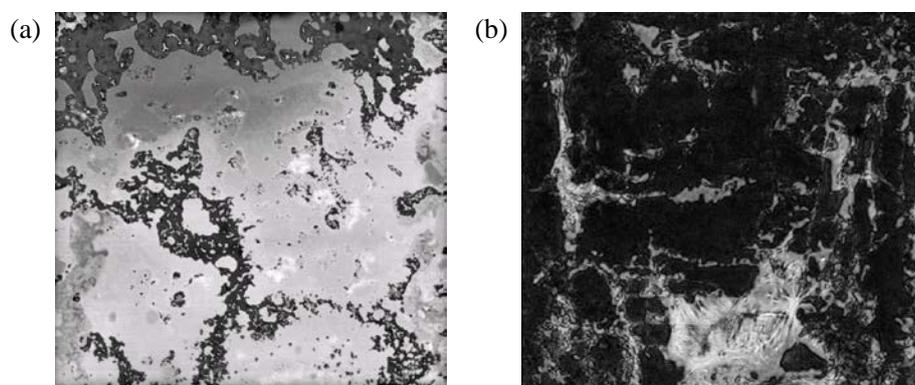


Fig. 1. In-plane images of the InSn solder layers formed with (a) a conventional method and (b) a supersonic soldering method, observed using a scanning acoustic microscope. The dark areas indicate the presence of InSn solder while the white areas correspond to the voids.