

# NBIS 測定による $\text{Al}_2\text{O}_3$ パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の信頼性評価

## Reliability of $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ thin-film transistors with an $\text{Al}_2\text{O}_3$ passivation layer under NBIS

明治大学<sup>1</sup>, 物材機構<sup>2</sup>, 日本学術振興会 特別研究員 DC<sup>3</sup>

○栗島 一徳<sup>1,2,3</sup>, 生田目 俊秀<sup>2</sup>, 女屋 崇<sup>1,2,3</sup>, 塚越 一仁<sup>2</sup>, 大井 暁彦<sup>2</sup>, 池田 直樹<sup>2</sup>, 長田 貴弘<sup>2</sup>, 小椋 厚志<sup>1</sup>

Meiji Univ.<sup>1</sup>, NIMS<sup>2</sup>, JSPS Research Fellow DC<sup>3</sup>

°K. Kurishima<sup>1,2,3</sup>, T. Nabatame<sup>2</sup>, T. Onaya<sup>1,2,3</sup>, K. Tsukagoshi<sup>2</sup>, A. Ohi<sup>2</sup>, N. Ikeda<sup>2</sup>, T. Nagata<sup>2</sup>, and A. Ogura<sup>1</sup>

E-mail: [kuri1109@meiji.ac.jp](mailto:kuri1109@meiji.ac.jp)

【はじめに】In 系金属酸化物をチャネル材料に用いた薄膜トランジスタ(TFT)の信頼性評価の一手法として、負バイアス光ストレス(Negative gate bias illumination stress : NBIS)測定方法が用いられている。また、In 系チャネル材料表面に吸着した大気中の  $\text{O}_2$  及び  $\text{H}_2\text{O}$  分子によって低下するデバイス特性を抑制する一つの方法として、 $\text{Al}_2\text{O}_3$  パッシベーション膜が提案されている [1, 2]。しかしながら、 $\text{Al}_2\text{O}_3$  パッシベーション膜を用いた  $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$  TFT について、信頼性評価を系統的にした報告例はない。そこで、本研究では、原子層堆積(ALD)法で作製した  $\text{Al}_2\text{O}_3$  パッシベーション膜を用いたボトムゲート型  $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$  TFT を作製して、NBIS 及び NBS 測定による  $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$  界面でトラップされている電子のイオン化放出、ホールトラップサイト及び吸着ガスによるホール生成について詳細に議論した結果を報告する。

【実験条件】 $\text{Al}_2\text{O}_3$  パッシベーション膜を有する  $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$  TFT の断面模式図及び TEM 像を Fig. 1 に示す。Si 基板上にリフトオフプロセスにより Pt ゲート電極を形成して、膜厚 30 nm の  $\text{Al}_2\text{O}_3$  ゲート絶縁膜を成長温度 300 °C の ALD 法で成膜した後、300 °C で  $\text{O}_2$  中アニール処理をした。その後、スパッタリング法により  $\text{In}_{0.76}\text{Si}_{0.24}\text{O}_{0.99}\text{C}_{0.01}$  (ISOC)膜を室温で 10 nm 成膜した後に、300 °C で大気中アニール処理をした。Ti/Au の S/D 電極を形成後、250 °C で  $\text{O}_3$  アニール処理をした(w/o)。最後に、 $\text{Al}_2\text{O}_3$  パッシベーション膜は、成長温度 50 °C の ALD 法で膜厚を 2 nm (AIO-2)及び 10 nm (AIO-10)と変え

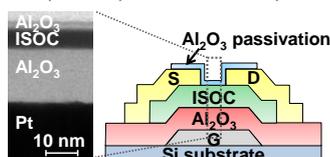


Fig. 1 Schematic of the  $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$  TFT with  $\text{Al}_2\text{O}_3$  passivation film and TEM image of  $\text{Al}_2\text{O}_3$  passivation/ISOC/ $\text{Al}_2\text{O}_3$  gate insulator/Pt electrode.

て作製した。真空中及び大気中において、室温で  $V_g - V_{th} = -1$  V を強度  $0.29 \text{ mW/cm}^2$  の照射下で 3 h 印加して NBIS 及び NBS 測定した。

【結果】Fig. 2 に、ストレス時間に対する  $\Delta V_{th}$  を示す。w/o TFT は、真空中の NBS 測定(3 h)で  $\Delta V_{th}(\text{NBS}) = -0.9$  V を示し、 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$  界面でのホールトラップ成分によると考えられる。また、w/o は真空中の NBIS 測定(3 h)で  $\Delta V_{th}(\text{w/o vac}) = -1.6$  V であった。 $\Delta V_{th}(\text{w/o vac}) - \Delta V_{th}(\text{NBS}) = -0.7$  V は、 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$  界面において、照射によりトラップされた電子が励起してリリースされた結果、生じた  $\Delta V_{th}$  と考えられる。さらに、w/o は、大気中の NBIS 測定(3 h)で  $-4.7$  V であり、 $\Delta V_{th}(\text{w/o air}) - \Delta V_{th}(\text{w/o vac}) = -2.9$  V となった。これは、ISOC 表面に吸着した  $\text{O}_2$  分子によって生成したホール成分に起因すると考えられる。一方、 $\Delta V_{th}(\text{AIO-2})$  及び  $\Delta V_{th}(\text{AIO-10})$  は大気中測定で、各々  $-3.7$  及び  $-3.0$  V を示した。 $\text{Al}_2\text{O}_3$  パッシベーション膜の膜厚が増加するに従って、 $\Delta V_{th}(\text{AIO-2})$  及び  $\Delta V_{th}(\text{AIO-10})$  は、 $\Delta V_{th}(\text{w/o air})$  と比較して各々 26 及び 45 % 低減した。これは、 $\text{Al}_2\text{O}_3$  パッシベーション膜が大気中の  $\text{O}_2$  分子の  $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$  チャネル表面への吸着を防いだ結果、 $\Delta V_{th}$  の抑制に効果があったためと考えられる。

【謝辞】本研究の一部は特別研究員研究奨励費 (18J14689) の補助を受けたものである。

[1] Y. Ueoka et al., *ECS J. Solid State Sci. Technol.* **3** (9) Q3001-Q3004 (2014).

[2] S.-Y. Huang et al., *Surf. Coat. Technol.* **231**, 117-121 (2013).

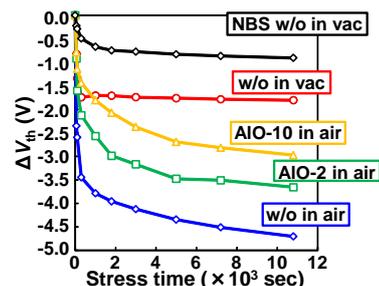


Fig. 2  $\Delta V_{th}$  shift as a function of stress time for w/o, AIO-2, and AIO-10 in vacuum and air under NBIS.