

横型 Si ナノワイヤ熱電変換デバイスの熱エンジニアリング

Heat Engineering of Planar Si-nanowire Thermoelectric Generator

早大理工¹、群馬大学²、産総研³、[○]富田 基裕¹、熊田 剛大¹、島 圭佑¹、
詹 天卓¹、張 慧^{1,2}、松川 貴³、松木 武雄^{1,3}、渡邊 孝信¹

Waseda Univ.¹, Gunma Univ.², AIST³, [○]M. Tomita¹, T. Kumada¹, K. Shima¹,
T. Zhan¹, H. Zhang^{1,2}, T. Matsukawa³, T. Matsuki^{1,3}, and T. Watanabe¹

E-mail: tomita_motohiro@watanabe.nano.waseda.ac.jp

【はじめに】環境中の熱エネルギーを利用するエナジー・ハーベスティング技術として、CMOS技術と親和性が高い Si ナノワイヤ(NW)を用いた熱電発電素子の開発が進められている。我々はこれまで、SOI ウェハ上に SiNW を空中架橋せず直接置いた熱電発電デバイスを考案し、SiNW が短くなるほど高い発電密度が得られることを示した。また、Si 基板の薄層化により発電性能がさらに向上することを実証した[1,2]。これは、基板部分を薄くし熱抵抗を低減させたことで、SiNW 部にかかる温度差を大きくできたためと考えられる。同様の効果は基板部分を熱伝導率の高い物質に置き換えることによっても実現されると考えられるが、SiNW が基板に張り付いた構造となるため、SiNW 部にかかる温度差の予測は単純でない。本研究では、基板厚や基板材料の熱伝導率によって SiNW にかかる温度差がどのように変化するか明らかにするため、有限要素シミュレーションによる熱解析を行い、その等価回路モデルを作成した。

【実験】Fig. 1にシミュレーションに用いたモデルを示す。支持基板にSiO₂絶縁層を設け、その上にSiNWを設置した。SiNWのサイズは厚さ:50nm、幅:65nm、長さ:250nmであり、ドーパント濃度およびゼーベック係数は $1.0 \times 10^{19} \text{ cm}^{-3}$ 、 $\pm 200 \text{ } \mu\text{V/K}$ とした。NW両端は厚さ400nmの電極に接続されている。高温側電極の上には200 nmのAlN熱伝導層を設け、その上からヒーターを接触させた。また、支持基板裏面は冷却ステージによって排熱している。ヒーターとステージの温度差(T_{source})は5Kに設定した。SiNW上方の空間は完全真空である。本研究では支持基板の厚さを745から50 μm まで変化させるとともに、基板材料としてSiとDiamondを仮定して熱伝導率も変化させた。さらに、支持基板とSiNWを絶縁するSiO₂層についてもその厚さを0から1000 μm まで変化させた。

【結果】Fig. 2にSiNW周囲の断面熱分布と等価熱回路を示す。断面熱分布によると、SiNWとSiO₂絶縁層の内部に急激な温度差が生じている。この大きな温度差が生じている部分に熱抵抗があると仮定し、またSiO₂/支持基板界面では水平方向にほとんど温度差が無いことから支持基板の熱抵抗は垂直方向にまとめて一つあるものとして等価熱回路を定義した。Fig. 3に支持基板の垂直熱抵抗に対するSiNW両端にかかる温度差の依存性を示す。面積あたりの基板垂

直熱抵抗 θ_{sub} は基板厚さ t (m)を基板熱伝導率 κ (W/mK)で割った $\theta_{sub} = t/\kappa$ (m²K/W)と定義した。計算結果によると厚さ745 μ mのSi基板に対して、薄層化やDiamond基板への置換をすることで基板の持つ熱抵抗が低下し、NWにかかる温度差が10倍以上上昇すると見込まれる。また、この温度差上昇は基板厚さや基板材料に関わらず、垂直熱抵抗に対してユニバーサルな関係があり、Fig. 2に示した等価熱回路モデルによってこの関係を再現できる。Fig. 4にSiO₂絶縁層厚さに対するSiNW両端にかかる温度差の依存性を示す。基板厚さは500 μ mとし、基板材料にSiとDiamondを用いた。温度差はSiO₂厚さが50nmを下回る領域で急激に温度差が低下する傾向がみられた。このことから厚さがサブ μ mのSiO₂絶縁層が温度差維持に必須であることが明らかとなった。また、基板材料によって最適厚さは異なっており、これらの傾向についても等価回路モデルより再現ができた。SiNWに大きな温度差を設けるには基板と絶縁層の熱エンジニアリングが重要であり、我々は今後この回路モデルを実際のデバイス設計の指針とする。

本研究は、JST-CREST (JPMJCR15Q7)により補助を受けたものである。

[1] M. Tomita et. al., Symp. VLSI Technol. Dig. Tech. Papers (2018) 93. [2] H. Zhang et. al., IEEE Trans. Electron Devices **65** (2018) 2016.

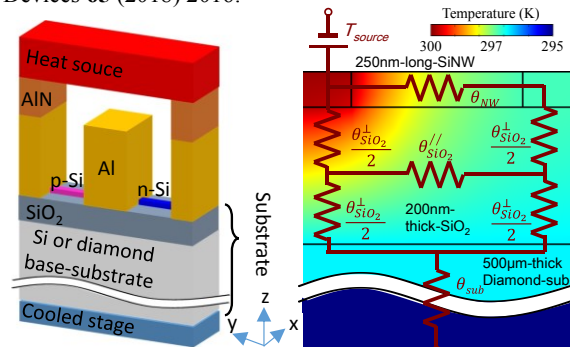


Fig.1 Schematic of simulated TE generator.

Fig.2 X-section heat profile and equivalent heat circuit.

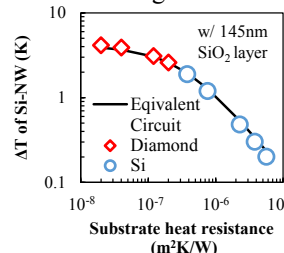


Fig.3 Si-sub heat resistance dependence of ΔT of NW.

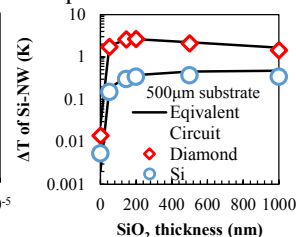


Fig.4 SiO₂ thickness dependence of ΔT of NW.