平面型シリコンナノワイヤ熱電デバイスにおける熱流を制御する最適基板構造

Optimum substrate structure for controlling heat flow in planar Si nanowire thermoelectric generator 早稲田大学理工学術院¹、群馬大学²、産業技術総合研究所³

^o島 圭佑¹、富田 基裕¹、張 慧^{1,2}、詹 天卓¹、松川 貴³、松木 武雄^{1,3}、渡邊 孝信¹ Waseda Univ.¹, Gunma Univ.², AIST³

°K.Shima¹, M.Tomita¹, H.Zhang^{1, 2}, T.Zhan¹, T.Matsukawa³, T.Matsuki³ and T.Watanabe¹

E-mail: k.shima10944@asagi.waseda.jp

【はじめに】熱電発電装置(TEG)を実現する材料 として、電気伝導率の高さと熱伝導率の低さと、 CMOS 製造プロセスで製造可能からシリコンナ ノワイヤ(SiNW)が有力視されている[1-3]。

我々は、既報の横型熱電発電素子に取り入れられ ている素子強度を低下させているキャビティ構 造を適用せず、SiNW 長さを低減し、10uW/cm²以 上の発電能力をえることに成功している[4]。さ らなる性能向上には、横型 SiNW のμ(マイクロ) TEG の高温・低温部の温度差維持にむけた熱流 制御が必要と考えている。本研究では、基板の局 所的な材料を Si から熱抵抗を局所的に変化させ ることで、素子強度を維持しつつ、発電性能を向 上させられるか有限要素デバイスシミュレーシ ョンを用いて検討した。

【実験】Fig.1に平面型 SiNW TEG の構成モデル を示す。n/pSiNW の幅と長さは、100nm、200nm。 NiSi パッドの長さは、両端を 100nm と中央を 200nm とした。Fig. 2(b)~(e)に Si 基板中に Si よ り熱抵抗が小さい Cu を局所的に置換した図を示 す。Fig. 2(b), (c)は、Cu が熱抵抗層 SiO₂の下に配 置され、(d), (e)はその SiO₂層を NiSi に接触する まで貫通させている。それぞれ、基板を全て Si に した Si 基板構造(a)、基板中央部置換構造(b)、基 板両端部置換構造(c)、SiO₂貫通基板中央置換構造 (d)、SiO₂貫通基板両端置換構造(e)を用意した。 本研究では、SiNW の両端に生じる温度差をそれ ぞれの構造に対して見積もることで、発電性能を 予測することとした。

【結果と考察】Fig. 3 に各基板構造での SiNW に生じる温度の一次元分布を示す。SiO₂ 貫通両端 配置構造(e)のみが両端での温度差が得られてい ない。これは、他の構造と材料間の界面熱抵抗は 変わらない事から、AlN から NiSi に流れてくる 熱の殆どがが、SiNW や SiO₂に流入せず Cu から 排熱されていると考えられる。他の構造について 詳細に比較するために、Fig.4 に各構造に対する 温度差をまとめた。まず、Si 基板構造(a)と Cu が NiSi に向かって SiO₂ を貫通しない構造(b),(c)と を比較する。結果、熱伝導度が Si より高い Cu を 部分的にも配置することで、温度差が 27%程度 増大している。しかし、その挿入位置の依存性は すくない。さらに、SiO2をCuがSiNWの低温部 の NiSi に向かって貫通している構造(d)の温度差 に注目すると、貫通させない場合に比べ、更に 13%程度の温度差が得られている。これらの結果 から SiO₂ を貫通させない条件下では基板全体の 平均的な熱抵抗が同じであれば、基板のどこを熱 伝導率の高い材料に置き換えても、SiNW 中の熱 流に差はほとんど生じないと考えられる。一方、 SiNW 低温側の直下の SiO₂ 層を貫通させた場合 は、排熱効率が高まり SiNW の温度差は増大する。 実際には電気的な絶縁のため SiO2 層を無くすこ とはできないが、SiNW 低温側直下の SiO2 層をで きるだけ薄くして、その直下に熱伝導率の高い材 料を配置することで、平面型 SiNW TEG の発電 量を最大化することができると考えられる。 なお、本研究は JST-CREST (JPMJCR15Q7)の助成

- を受けている。
- [1] A.Boukai et al., Nature, 451.7175 (2008) 168.
- [2] A.I. Hochbaum et al., Nature, 451.7175 (2008) 163.
 [3] H.Zhang et al., IEEE TED 65 (2018) 2016
- [4] M. Tomita et al., VLSI Symp. <u>Tech. Dig. (2018)</u> 93



Fig.4 Comparison of temperature difference across SiNW on each substrate