

シリコンナノワイヤ微小熱電発電デバイスにおける発電性能のワイヤ幅依存性

Wire Width Dependency of Silicon-Nanowire Micro Thermoelectric Generator

早稲田大学¹, 大阪大学², 産総研³○武澤 宏樹¹, 姫田 悠矢¹, 島 圭佑¹, 大和 亮¹, 熊田 剛大¹, 徐 茂¹, 目崎 航平¹,
富田 基裕¹, 詹 天卓¹, 鎌倉 良成², 松木 武雄^{1,3}, 松川 貴³, 渡邊 孝信¹Waseda Univ.¹, Osaka Univ.², AIST³○H.Takezawa¹, Y.Himeda¹, K.Shima¹, R.Yamato¹, T.Kumada¹, M.Xu¹, K.Mesaki¹,
M.Tomita¹, T.Zhan¹, Y.Kamakura², T.Matsuki^{1,3}, T.Matsukawa³ and T.Watanabe¹Email: takezawa_hiroki@watanabe.nano.waseda.ac.jp

【はじめに】近年、無線センサネットワーク用のエネルギー・ハーベスティング技術の一環として、シリコンナノワイヤ(Si-NW)を用いた熱電発電の研究がおこなわれている。Si ナノワイヤ(Si-NW)は、バルクの電気伝導率を維持しつつ熱伝導率のみが2桁減少可能なことが明らかにされている^[1]。さらに、Si-CMOSに親和性のあるプロセスを用いて、微小な熱電発電デバイス(Micro Thermoelectric Generator: μ TEG)の実現を目指す研究が注目を集めている^[2]。また、Si-NWの幅が小さいほど熱伝導率が減少することが明らかになっており^[1,3]、熱伝導率が小さいほど大きな温度差が期待されるため、我々の提案するSi-NWを短くするほど熱起電流が増大する μ TEG構造^[4]においてもSi-NWの幅を小さくすることで発電性能の向上が期待される。今回我々は、設計寸法Si-NW幅(W_{NW})が100 nm, 80 nm, の2種のワイヤ幅の発電性能の差を、Si-NWの長さが(L_{NW})0.25, 0.3, 0.4, 0.6, 1.0 μ mで評価した。

【実験方法】作製した μ TEGの模式図をFig.1に示す。 W_{NW} 80, 100 nm, L_{NW} 0.25~1 μ mの発電部とAl電極パッド部で構成されておりワイヤの本数は70本である。まずp型Si(100)のSOI基板(SOI膜厚=88 nm, BOX=145 nm)をArF液浸リソグラフィとドライエッチングを用いてSi-padとSi-NWを形成した。次に熱酸化によって6~7 nmの酸化膜を形成後、P⁺を加速電圧15 keV、ドーズ 5×10^{15} cm⁻²で注入し、活性化アニール(1000 $^{\circ}$ C, 10 秒)を行った。その後、スパッタリングによりTi 10 nm, TiN 30 nm, Al 400 nmの順に成膜し、フォーミングガスアニール(400 $^{\circ}$ C, 30 分)を行いSi-padの上に電極を形成した。最後にSi基板を745 μ mから50 μ mまで研磨した。作製した μ TEGに、高温熱源として298 Kに昇温したAlNセラミック製のマイクロサーモスタッドを接近させ、低温熱源として基板ステージをチラーを用いて293 Kに冷やした。負荷電圧0 Vの時の熱起電流を測定し、負荷電圧 V_{load} を印加することで開放電圧を見積もった。

【実験結果】Fig.2 COMSOL Multiphysics[®]を用いた L_{NW} 0.25, 1 μ mにおける W_{NW} とSi-NW間の温度差の関係を示す。Si-NW間の温度差は W_{NW} が小さいほどが増加した。 L_{NW} 0.25~1 μ mに対する W_{NW} と開放電圧の関係をFig.3に示す。すべての L_{NW} において、温度差の小さい W_{NW} 80 nmより W_{NW} 100 nmの方で大きな開放電圧が得られた。 W_{NW} が小さいほど大きな温度差が得られるにもかかわらず、開放電圧が小さくなったことから W_{NW} が小さいほどゼーベック係数が減少していると解釈できる。この原因として、細い(小さい W_{NW})Si-NWでフォノン・ドラッグ効果が抑制されている可能性が考えられる。すなわち、 W_{NW} を減少させるとフォノンの表面散乱頻度が増し、熱伝導率を大幅に抑制できるが、反面、フォノン・ドラッグ熱電能の低下により熱起電力が劣化してしまうと考えられる。今回の実験結果は、発電性能を最大化する最適なナノワイヤ幅 W_{NW} があることを示している。

【謝辞】本研究はJST-CRESTの支援により実施された。またデバイス作製は、文部科学省ナノテクノロジープラットフォーム事業(NIMS 微細加工プラットフォーム)の支援を受けて実施された。

【参考文献】[1] A.Hochbaum et al, Nature, **451**, 163 (2008). [2] M.Totaro et al, Microelectronic Engineering, **97**,157 (2012). [3] D.Fan et al, Phys.Rev.B **96**, 115307 (2017). [4] M.Tomita et al, Symp. VLSI Technol. Dig. Tech. Papers p93, (2018)

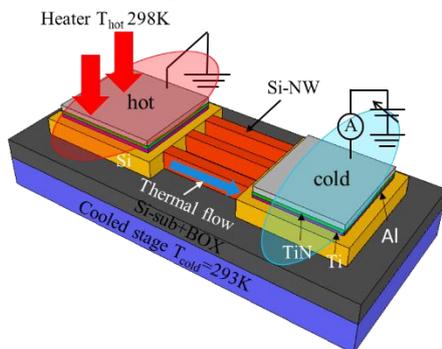


Fig1 Schematic of TEG

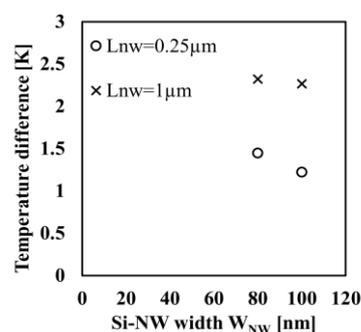


Fig2 Temperature difference across Si-NW

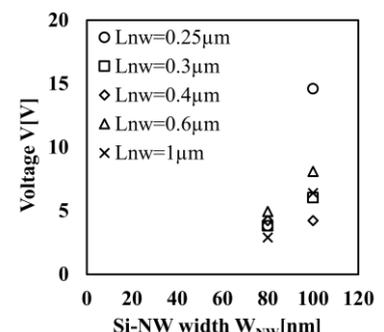


Fig3 Si-NW width dependency of open circuit voltage