

大規模並列計算によるモンテカルロデバイスシミュレーションの高速化

Massively Parallel Computing of Monte Carlo Device Simulation on Super Computer

阪大院工 山下 大輝, 鎌倉 良成, 森 伸也

Osaka Univ. D. Yamashita, Y. Kamakura, and N. Mori

E-mail: yamashita@si.eei.eng.osaka-u.ac.jp

1. はじめに

モンテカルロ(MC)デバイスシミュレーションは、半導体デバイス中のキャリア挙動を高精度に解析できる反面、膨大な計算時間を要する欠点がある。本研究では、スーパーコンピュータ上での大規模並列計算を利用して極微細トランジスタの電気特性解析の高速化を試みた。特にシミュレーション実行中に頻繁に解く必要があるポアソン方程式の計算時間短縮に対して、高い並列化効果を得るための方法について考察した。

2. 計算方法と結果

MC 法による電子挙動計算[1]とポアソン方程式による電位分布計算を結合し、ゲート長 20 nm の 2 重ゲート型 MOSFET の解析を行った。用いた粒子数は 10^3 個であり、2 次元のポアソン方程式を 0.1 fs 毎に解いて電位分布の更新を行った。このシミュレーションをスーパーコンピュータ CrayXC40 [2]上で実行し、最大で 512 コアを利用した際の並列化効率を評価した。

差分化したポアソン方程式は、疎行列連立一次方程式の直接法ソルバである PARDISO [3]を用いて解いた。このソルバは、ノード内の共有メモリを利用した並列化を行うが、本研究では多数のノードを利用した大規模並列化を念頭に、いくつかの方法でポアソン方程式を解き各々の効率を比較した。まず、Method 1 では PARDISO により LU 分解した行列を用いてポアソン方程式の求解を行った。一方、Method 2 では、シミュレーション開始時に差分化ポアソン方程式に対する連立方程式の逆行

列を PARDISO で求めてメモリに格納し、シミュレーション中に行列-ベクトル積を計算することで電位を求めた。

Fig. 1 にシミュレーション時間の並列効果を調べた結果を示す。Method 1 では比較的少ないコア数で並列効果が飽和する結果が得られた。一方、Method 2 では、シミュレーション開始時に逆行列を求める際大量の計算を要するものの、行列-ベクトル積の計算で高い並列効果が得られ、並列数の増加に伴い計算時間が効率的に短縮した。メッシュ数やタイムステップ数などの計算条件に依存するが、大規模並列が可能な計算環境下では、より高速な計算が期待できる可能性がある。

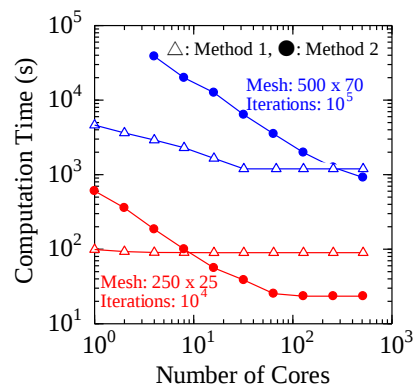


Fig. 1: Computational time of MC device simulation as a function of number of cores.

参考文献

- [1] Jacoboni et al., Rev. Mod. Phys. 55, 645 (1983).
- [2] <https://www.iimc.kyotou.ac.jp/ja/services/comp/supercomputer/>
- [3] <https://www.pardiso-project.org>