

Hf系 MONOS 型デバイスによる多値化(2-bit/cell)の検討

Multi-level 2-bit/cell operation utilizing Hf-based MONOS device

東工大 工学院 ○工藤 聡也, 石松 慎, 堀内 勇介, 大見 俊一郎

Tokyo Institute of Technology, °Sohya Kudoh, Shin Ishimatsu, Yusuke Horiuchi and Shun-ichiro Ohmi

E-mail: kudoh.s.ab@m.titech.ac.jp, ohmi@ee.e.titech.ac.jp

1. はじめに

前回までに我々は、Hf系 MONOS 積層構造をゲート部に有する MISFET およびダイオードについてメモリ特性を報告した[1, 2]。今回、Hf系 MONOS 型デバイスを用いた多値化について検討したので報告する。

2. 実験方法

SiN/SiO₂/p-Si(100)基板を SPM 洗浄、希フッ酸処理を行った後、チャンネルストップと LOCOS、さらにソース/ドレイン(S/D)の形成を行った。次に、ECR プラズマスパッタにより、HfN_{0.5}(M)/HfO₂(O)/HfN_{1.0}(N)/HfO₂(O) 積層構造を in-situ で形成した後、N₂ (1 SLM) 雰囲気中で 600°C/1 min の熱処理を行った[3]。次に、Al 電極を形成し、RIE(Ar/Cl₂ = 50/20 sccm)によりコンタクトホールを形成後、Al 引出電極および裏面電極を形成した。最後に、N₂/4.9%H₂ (1 SLM)雰囲気中で 300°C/10 min の熱処理を行い、Hf系 MONOS デバイスを作製した(L/W=10/90 μm)。作製したデバイスに関して、S/D 領域それぞれから電荷注入を行い多値化(2-bit/cell)に関する評価を行った。

3. 実験結果および考察

図1に、“10”と“01”、“00”状態の模式図を示す。また、“11”は電荷注入前とした。ゲート電極に 6 V/2 ms、S/D に 1.5 V を印加し、S/D 領域から電子注入を行った。図2に各状態の I_D-V_G 特性、図3に I_D-V_G 特性から抽出した V_{ON}(I_D=5.0 μA/μm)と V_{TH}(I_D=0.1 μA/μm)を示す[4]。図3に示すように、“10”と“01”状態の V_{ON}と V_{TH}の大小関係が逆転していることが分かった。図2に示すように、“01”および“00”状態の I_D-V_G 特性の V_{TH}近傍の傾きが緩やかになっており、ドレイン側から注入された電子が、I_D-V_G 特性に影響を与えていることが分かった。

謝辞

本研究にご協力いただきました本学の鈴木 元也技官、前田 康貴氏、東北大学の故大見 忠弘名誉教授、寺本 章伸教授、後藤 哲也准教授、黒田 理人准教授、諏訪 智之准教授、ならびに JSW AFTY の嶋田 勝氏、広原 正巳氏、玉井 逸朗氏に感謝いたします。本研

究は JSPS 科研費 JP17J10752 の助成および、文部科学省生体医歯工学共同研究拠点の支援を受けて行われた。

参考文献

[1] S. Kudoh, et al., Ext. Abst. SSDM, pp. 24-25 (2017). [2] S. Kudoh, et al., 75th DRC, pp. 119-120 (2017). [3] S. Ohmi, et al., IEICE Electron. Exp., 12, 20150969 (2015). [4] S. Kudoh, et al., 76th DRC, (2018). [accepted]

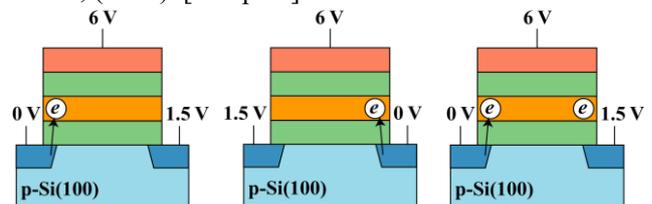


図1 (a) “10”, (b) “01”, (c) “00”状態の模式図。

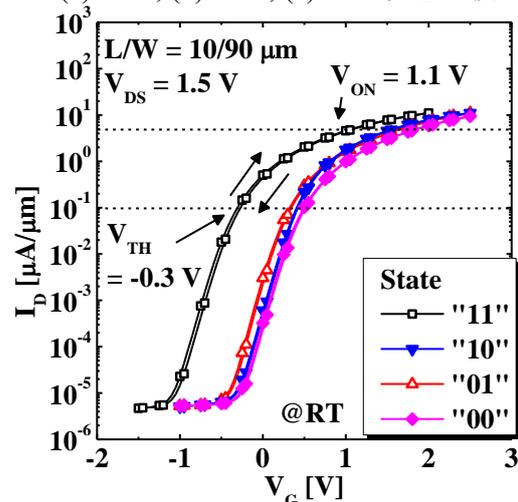


図2 各状態の I_D-V_G 特性。

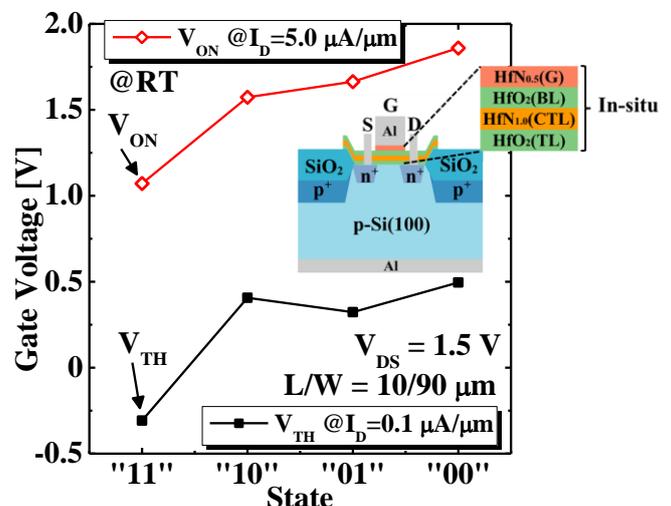


図3 各状態の V_{ON}と V_{TH}の比較。