

Ar/H₂ 熱処理による Si 基板表面原子レベル平坦化の基板面方位依存性

Substrate orientation dependence of Si surface atomically-flattening

by annealing in Ar/H₂ ambient

東工大 工学院 °堀内 勇介, 工藤 聡也, 大見 俊一郎

Tokyo Institute of Technology, °Yusuke Horiuchi, Sohya Kudoh and Shun-ichiro Ohmi

E-mail: horiuchi.y.ac@m.titech.ac.jp, ohmi@ee.e.titech.ac.jp

1. はじめに

前回まで我々は、Ar/4%H₂ 雰囲気中 1050°C での熱処理による、Si(100)基板表面の原子レベル平坦化に関して報告してきた[1]。今回、Si(100)基板の原子レベル平坦化と同一のプロセスにより、異種面方位基板に関する原子レベル平坦化を検討したので報告する。

2. 試料作製方法および評価方法

まず、p-Si(100)基板(10-30 Ωcm、±1°)、p-Si(111)基板(10-20 Ωcm、±1°)、および p-Si(110)基板(7-10 Ωcm、±0.5°)を SPM, DHF で洗浄し、超純水によりリンスを行った後、高純石英管炉において、Ar/4%H₂(3 SLM) 雰囲気中における 1050°C/10 min の熱処理を行い、HCl:HF=19:1 [3]により SiO₂をエッチングした。次に、850°C のウェット酸化により SiO₂を 3 nm 形成し、Al ゲート電極(φ250 μm)を形成した。最後に、N₂/4.9%H₂(1 SLM) 雰囲気中で 400°C/5 min の PMA を行い、MOS ダイオードを作製した。このように作製した試料に関して、AFM による表面観察および J-V 特性によるリーク電流の評価を行った。

3. 実験結果および考察

図 1 に原子レベル平坦化を行った Si 基板表面の AFM 像を示す。図 1(a)に示すように、1050°C/10 min の熱処理により、p-Si(100)基板において原子ステップが形成されるが、数 μm 周期のラフネスが生じるため、RMS ラフネスが 0.26 nm (5x5 μm²)に増大することが分かった[2]。一方、図 1(b)に示すように、p-Si(111)基板においても原子ステップの形成に成功した。また、p-Si(111)基板の RMS ラフネスは 0.16 nm (5x5 μm²)であり、p-Si(100)基板よりも小さなラフネスであることが分かった。これは、Si(111)基板の場合、Si(100)基板で観測された数 μm 周期のラフネスが生じないためであることが分かった。

図 2 に、作製した MOS ダイオードの V_G=-1 V でのリーク電流の比較を示す。原子レベル平坦化を行うことにより、リーク電流が p-Si(100)基板では 1.3x10⁻⁷ A/cm²から 3.1x10⁻⁸

A/cm²、p-Si(111)基板では 2.4x10⁻⁷ A/cm²から 1.2x10⁻⁸ A/cm²に低減することが分かった。

以上の結果から、同一の熱処理条件を用いた異種面方位 Si 基板表面の原子レベル平坦化に成功した。

謝辞

本研究にご協力いただきました本学の鈴木元也技官ならびに東北大学の故大見忠弘名誉教授、後藤哲也准教授、黒田理人准教授、諏訪智之准教授、グローバルウェーブ・ジャパン株式会社の泉妻宏治氏、青木竜彦氏に感謝いたします。本研究の一部は、JSPS 科研費 JP17J10752 および文部科学省生体医歯工学共同研究拠点の支援を受けて行われた。

参考文献

[1] S. Kudoh, *et al.*, JEM, **47**, 2, pp. 961-965 (2017). [2] S. Kudoh, *et al.*, 60th EMC, MM-01 (2018). [accepted] [3] Y. Morita, *et al.*, Appl. Phys. Lett., **67**, p. 2654 (1995).

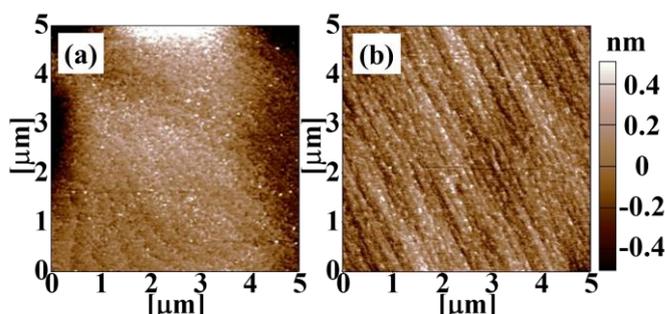


図 1 原子レベル平坦化後の Si 基板表面の AFM 像。

(a) p-Si(100)[1]、(b) p-Si(111)。 (5x5 μm²)

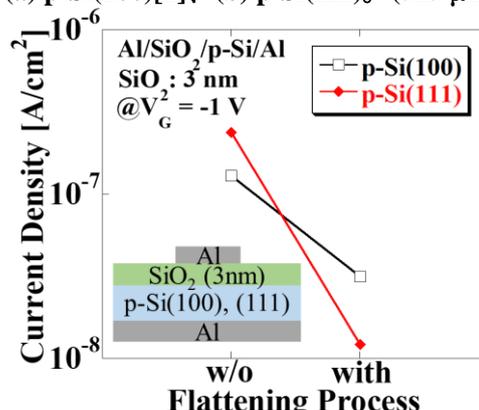


図 2 Al/SiO₂/Si MOS ダイオードのリーク電流(V_G = -1 V)。