CVD 法を用いた GeO_2/Ge 構造の作製と評価

Fabrication and Evalution of GeO_2/Ge structure by CVD method

農工大学院工、○勝野泰幸、佐藤亜武、岩崎好孝、上野智雄
Tokyo Univ. of agri. & Tech. Yasuyuki Katsuno, Amu Sato, Yoshitaka Iwazaki, Tomo Ueno
E-mail: s181466w@st.go.tuat.ac.jp

1． 研究背景

近年、MOSFET は微細化による高性能化が行われてきたが、短チャネル効果やリーク電流などの問題により、これ以上の微細化が困難になっている。そこで、微細化に代わる性能向上の方法として新規材料の導入が挙げられる。例えば、高移動度材料の Ge 基板や酸化膜に高誘電率(High-k)材料を用いることなどがある。しかし、High-k 材料と Ge との直接接合は、良好な界面特性を得ることが困難であるため、High-k 材料と Ge の間に先に GeO_2 膜を成膜する手法が検討されている。今回は比較的低温での成膜ができるために GeO 脱離を抑えることが出来、かつ FinFET 等の立体チャネルにも対応可能な CVD 法にて Ge 基板上に GeO_2 膜の成膜を行い、特性の評価を行った。

2． 実験方法

p-Ge(100)基板に有機洗浄、フッ酸処理を行い、TEOG（化学式:$Ge(OC_2H_5)_4$）と O_2 を供給する CVD 法で GeO_2 膜を成膜した。

成膜条件は以下のとおりである。

・チャンバー圧:8[Torr]
・ソース温度:-20[℃]
・成膜温度:400[℃]
・成膜時間:60[min]

上記条件にて 15nm 厚の GeO_2 膜を堆積させた基板に、大気圧下での N_2 アニール処理及び O_2 アニール処理をそれぞれ 300℃で 30 分間行い、Al 電極を蒸着して C-V 測定を行った。

3． 実験結果

As grown と N_2 アニール処理、O_2 アニール処理を行ったサンプルの C-V 特性を図 1 ～6 に示す。

図 1 より As grown の膜ではヒステリシスが生じていることがわかる。この原因としては成膜段階初期においてチャンバー内に導入した酸素により熱酸化膜が出来ており、この膜中には低圧下の酸化によりサブオキサイドによる欠陥が多く含まれているためであると考えられる。このヒステリシスの改善を目的として N_2 アニール処理を行った。しかし図 1、図 3 より、N_2 アニール処理ではヒステリシスの幅の減少が確認できなかった。よって、加熱の効果のみではサブオキサイドを減らすことが出来なかったと考えられる。ここで、酸素雰囲気下でアニールをすることで膜中の欠陥に酸素を補填することが出来ると考え、次に O_2 アニール処理を行った。図 1、図 5 より、O_2 アニール処理を行うことでヒステリシスの幅が減少していることがわかる。これにより、O_2 アニール処理を施すことで GeO_2/Ge 界面近傍に存在した欠陥に酸素の補填が出来、ヒステリシスの幅を低減出来たと考えられる。

さらに界面特性の評価を行うため、C-V 特性の周波数分散についても評価した。図 2、図 4 より、As grown と比べて N_2 アニール処理を行ったサンプルの方が、周波数分散が抑えられていることがわかる。これは窒素雰囲気下で加熱することによって、成膜時に出来た結合が再度組み直され、これにより未結合手を減らすことが出来たためであると考えられる。また、O_2 アニール処理を行ったサンプルでは、As grown と比較して周波数分散が抑えられていないが、N2 アニール、O2 アニールのヒステリシス、界面欠陥に与える影響について今後検討を行う予定である。

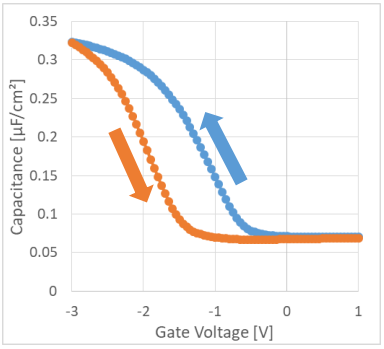

図 1. C-V 特性 As grown (1000kHz)

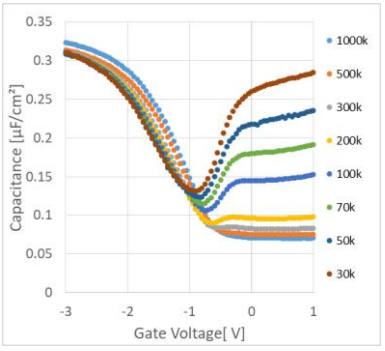

図 2. C-V 特性 As grown 周波数分散

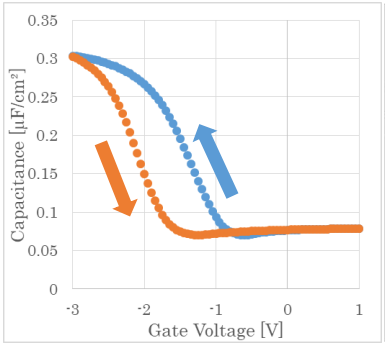

図 3. C-V 特性 N_2 アニール 300℃(1000kHz)

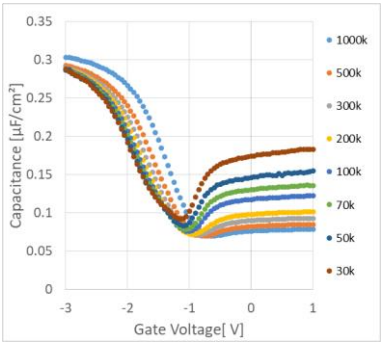

図 4. C-V 特性 N_2 アニール 300℃ 周波数分散

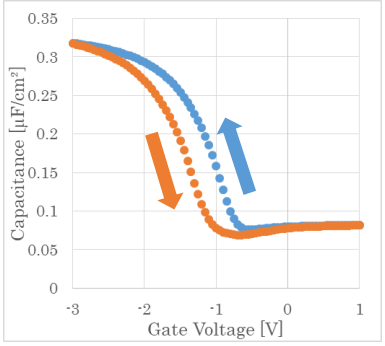

図 5. C-V 特性 O_2 アニール 300℃(1000kHz)

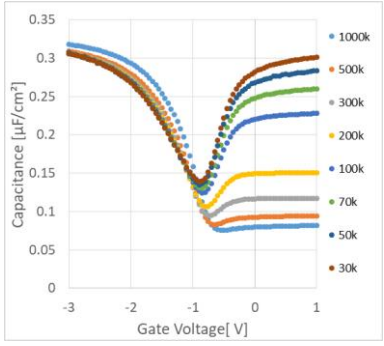

図 6. C-V 特性 O_2 アニール 300℃ 周波数分散

© 2018年 応用物理学会