ミニマルファブを用いた TiN ゲート SOI CMOS の試作

TiN-Gate SOI CMOS Fabricated by minimal fab

ミニマルファブ推進機構 [1]，産総研 [2]
○古賀 和博 [1]，柳 永勛 [2]，居村 史人 [1,2]，加瀬 雅 [2]，野田 周一 [2]，根本 一正 [2]，クンプアン ソマワン [1,2]，原 史朗 [1,2]

MINIMAL [1] and AIST [2]
○Kazuhiro Koga[1], Y. X. Liu[2], Fumito Imura[1, 2], Masashi Kase[2], Shuichi Noda[2],
Kazumasa Nemoto[2], Sommawan Khumpuang[1, 2], and Shiro Hara[1, 2]
E-mail: kazuhiro.koga@minimalfab.com

【背景】我々は規格化された超小型の製造装置とそのシステムであるミニマルファブの開発を行っており、局所クリーン化技術により製造ラインの運転コストを従来の 1/1000 に低減することを目標に掲げている[1]。現在、主要前工程装置は実用商品のレベルに到達している。但し、デバイス試作で必要な不純物拡散は、イオン注入装置が未だプロトタイプを開発中の為、液体ドーパントを用いた熱拡散法を採用している。

これまで、n 型のバルク Si 基板と Al ゲート電極を用いた CMOS を試作し良好なインバータ特性を得ている[2]。しかし、高温の長い加熱処理による熱負荷が累積する為、実効チャネル長が設計値より大幅に短くなる問題や拡散濃度ばらつき、最終的には電気特性ばらつきの問題があり改善に取り組んできた。

今回、上記問題を解決する為に SOI ウエーハと TiN 反応性スパッタ膜を用いた CMOS プロセスを検討した。SOI ウエーハは素子分離が容易でリーク電流低減や拡散時間の短縮など効果が大きい。TiN 膜は Si のバンドギャップの中心に仕事関数を有する材料で、CMOS を作る上で p ウエルが不要となり工程短縮に効果がある。TiN ゲート SOI CMOS についてはミニマル装置とメガファブ装置を使用したハイブリッドプロセスにて試作実績があり良好な結果を得ている[3,4,5]。今回は開発が進んできたミニマル TiN スパッタ装置や TiN ウエットエッチングを含めた全てのプロセスをミニマル装置を使用して CMOS を試作したので報告する。

【実験方法及び結果】図 1 に今回試作した TiN ゲート SOI CMOS プロセスフローの主要工程を示す。使用した SOI ウエーハは 12.5mmΦ、厚さ 250μm であり Box 層厚は 400nm である。活性層 Si は厚さ 205nm、抵抗率が 5～20Ω・cm の n 型である。拡散層を作り込む活性層 Si の厚さは完全空乏型 SOI とする為に全プロセス終了後に 100nm 程度に減るように調整している(熱酸化プロセスで Si 層を消費する)。

先ず、B（ボロン）拡散(950℃-4min, O2/N2=5/95%雰囲気)にて p-MOS のソース(S)/ドレイン(D)拡散層(p+層)を形成する。B の拡散は塗布溶剤をミニマル塗布装置にて塗布、乾燥ベークした後、ミニマル抵抗加熱炉装置にてハードベークとプリデポ拡散を一貫処理した。拡散後、ボロン塗布膜は BHF エッチングで除去する。次に、リン拡散（1000℃-1min）で、nMOS の S/D(n+層)を形成する。リンの塗布、ハードベーク、プリデポ拡散は、ボロン拡散と同様にミニマル塗布装置および抵抗加熱炉装置を使用する。

その後、素子分離のドライエッチングを経て、TiN ゲート部を形成する。ゲート酸化膜（6nm,900℃）を形成した後、TiN 膜とプラズマ TEOS(以下、P-TEOS)膜を成膜する。P-TEOS 膜をレジストマスクで DHF エッチングし、次に P-TEOS 膜をマスクとして APM（アンモニア過水 $NH_4OH/H_2O_2/DIW=1/2/5$, 60℃）エッチングで TiN ゲートを加工する。その後、TiN ゲート上に保護膜として P-TEOS 膜を成膜した後、コンタクトホールを加工し Al 電極を形成する。

<プロセスフロー>
- 初期洗浄
- 活性層Si厚さ調整
- アライメントマーク形成
- 熱酸化膜拡散マスク形成(ボロン拡散用)
- pMOS S/Dボロン拡散
- P-TEOS膜リン拡散マスク形成(リン拡散用)
- nMOS S/Dリン拡散
- 素子分離
- RCA洗浄
- ゲート酸化膜形成
- TiN(50nm)成膜
- P-TEOS(100nm)成膜
- ホトリソ（TiNゲート）
- P-TEOS DHFエッチング
- レジスト除去（アセトン洗浄）
- TiN (APMエッチング)
- P-TEOS(300nm)成膜
- ホトリソ（コンタクトホール）
- BHFエッチング
- レジスト除去（アセトン洗浄）
- Al(300nm)成膜
- ホトリソ（S/D電極,ゲート電極）
- AlウエットエッチングI
- レジスト除去（O_2アッシング）
- H_2アニール

図 1　TiNｹﾞｰﾄSOI CMOSﾌﾟﾛｾｽﾌﾛｰ

図 2 は本プロセスで試作した nMOS と pMOS のドレイン電流 I_d とドレイン電圧 V_d の関係であり、良好なトランジスタ特性を示している。

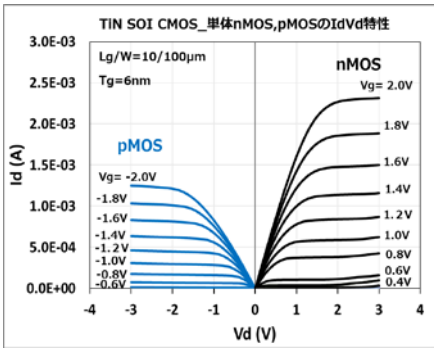

図 2　単体nMOS,pMOSのIdVd特性

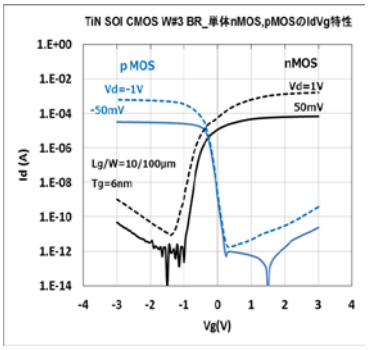

図 3　単体nMOS,pMOSのIdVg特性

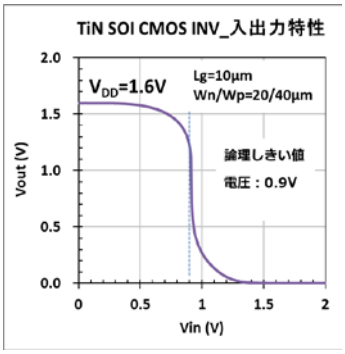

図 4　CMOSｲﾝﾊﾞｰﾀの入出力特性

また、図 3 は nMOS,pMOS の I_d とゲート電圧 V_g の関係であり、1pA 程度のオフリーク電流と 8 桁の ON/OFF 比が得られた。図 4 は CMOS インバータの入出力特性である。論理しきい値電圧が電源電圧 V_{DD} の 1/2 に近い良好な結果が得られた。詳細については当日の報告で述べる。

【参考文献】

[1]原　史朗、 クンプアン ソマワン：「ミニマルファブの開発とそのデバイスプロセス」, 応用物理学会誌83(5), p.380(2014).
[2] 古賀和博, 他, 第76回応用物理学会秋季学術講演会16a-E206-10(2015).
[3] 柳永勛,他,第63回応用物理学会春季学術講演会19a-S423-1(2016).
[4] 柳永勛, 他, 第77回応用物理学会秋季学術講演会16p-B10-11(2016).
[5] Y. X. Liu et al., MNC 2016, 10C-4-2.

© 2018年 応用物理学会