

ミニマルファブで作製した pMOS カレントミラー回路の評価

Measurement and evaluation of pMOS current mirror circuits
fabricated by Minimal Fab

影山 智明^{1,3}, クンプアン ソマワン^{2,3}, 原 史朗^{2,3}, 李 相錫¹

鳥取大学¹, ミニマルファブ推進機構², 産総研³

Tottori Univ.¹, MINIMAL², and AIST³

T. Kageyama, S. Khumpuang, S. Hara, and S.S. Lee

E-mail: sslee@eecs.tottori-u.ac.jp

【背景】センサの近くでアナログ回路を完結させることは、SN 比の向上や実装面積の削減などの多くの利点がある。そのため、近年のセンサデバイスはセンサ素子の他にアンプや AD コンバータなどが混載されることが珍しくない。これらを構成するのは、オペアンプやコンパレータなどのアナログ回路である。ミニマルファブでは以前より MOSFET[1]やリングオシレータ[2]を実現しているが、今後アナログ回路を混載したセンサデバイスの製造を考えると、先述のアナログ回路も実現する必要がある。アナログ回路の中には、差動増幅器などといった素子の均一性が重要となる要素が多く存在する。所謂メガファブで製造されたデバイスは、巨大な製造装置で大口径ウェハを処理することによって微小な面内に隣接する素子の特性は揃いやすいとされている。一方、ミニマルファブは非常に小さなミニマル装置で製造を行うため、隣接する素子の特性にどの程度差が生ずるか見極める必要がある。

【実験概要および目的】本報告では、ミニマルファブで差動増幅器などの電流源として多用されるカレントミラー回路を作製し、アナログ回路としての品質および品質に影響を与える要素について実験を元に評価する。この実験から現在のプロセスの適用時に見込まれる性能と、改良のためのプロセス改善の方針を得る。

【作製プロセス】デバイスの作製は n 型ハーフィンチウエハを用いた。ボロンを熱拡散ドーピングすることで p 型領域(ソース・ドレイン)を形成した。次に約 60nm の熱酸化膜を形成し、これをゲート絶縁膜とした。ソース、ドレイン部分のコンタクトをウェットエッチングによって形成し、配線用の Al(t=300nm)をスパッタによって成膜した。ウェットエッチングによって配線を形成し、最後に水素雰囲気アニールした。これらのプロセスはミニマルファブでの標準的な pMOSFET の製造プロセスである。また、同時に 4 端子測定用の抵抗線、コンタクト抵抗測定用素子と MOS キャパシタを同時に作製した。完成したデバイスを Fig. 1 に示す。

【デバイスの評価】Fig. 2 にカレントミラー回路(1:4)の $I_d V_d$ 特性を示す。 I_{d1} は基準電流が流れる素子 a0 に一番近い素子 a1 のドレイン電流である。同様に、 I_{d2} は素子 a2 のドレイン電流である。基準電流として 100 μ A 流したところ、中央部の回路では揃った特性が得られたのに対し、周辺部の回路の特性のばらつきが非常に大きいことが分かった。講演では、各素子のばらつきの要因について、他の評価素子の実験結果も踏まえて考察を行う予定である。

参考文献

[1] Sommawan Khumpuang and Shiro Hara, "A MOSFET Fabrication Using a Maskless Lithography System in Clean-Localized Environment of Minimal Fab", IEEE Transactions on Semiconductor Manufacturing, VOL. 28, NO. 3, p.p. 393-398, Aug. 2015.

[2] 居村他, 第 76 回応用物理学会秋季学術講演会, 名古屋国際会議場, 13c-1C-2, 2015 年 9 月。

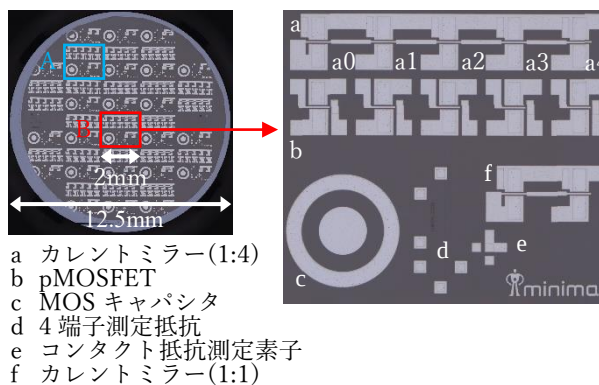


Fig. 1: Fabricated devices on a half-inch wafer.

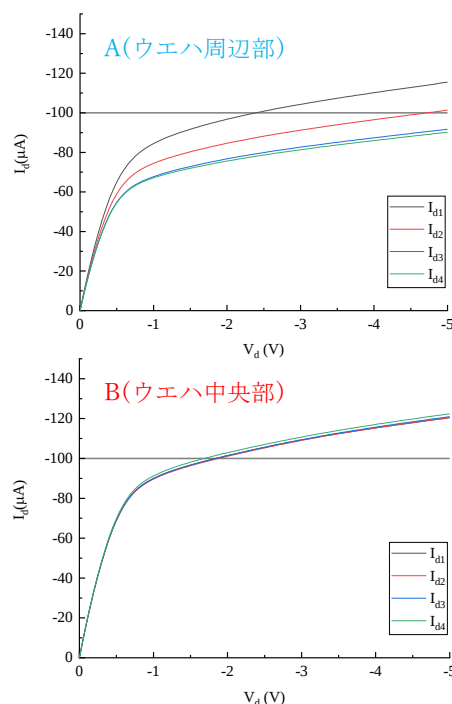


Fig. 2: $I_d V_d$ characteristics of current mirror circuits.