

ミニマルファブを活用した COMS-MEMS 融合デバイスの開発

Development of CMOS-MEMS Co-Integrated Devices Using Minimal-Fab Process

産総研¹、ミニマルファブ推進機構²

○柳 永勲¹, 田中 宏幸^{1,2}, 古賀 和博², クンプアン ソマワン^{1,2}, 長尾 昌善¹, 松川 貴¹, 原 史朗^{1,2}

AIST¹ and MINIMAL²

○Y. X. Liu¹, H. Tanaka^{1,2}, K. Koga², S. Khumpuang^{1,2}, M. Nagao¹, T. Matsukawa¹ and S. Hara^{1,2}

E-mail: yx-liu@aist.go.jp

【緒言】今まで、我々はミニマルファブの SOD (Spin on dopant)固相拡散による SOI-CMOS の開発を行ってきた[1, 2]。今回は、ミニマルファブのマスクアライナーと深堀エッチャーを活用して、極薄 SOI ダイアフラム上に CMOS を作製し、ダイアフラム作製前後の電気特性評価を行ったので報告する[3]。

【作製】デバイス作製には、N 型ミニマル(100) SOI ウェハ($\phi = 12.5$ mm)を用いた。Fig. 1 に CMOS と SOI ダイアフラムの作製プロセスを示す。最初に、SOI ウェハの RCA 洗浄を行い、熱酸化で Top-Si 層膜厚(T_{Si})を 120 nm 程度まで薄層化した。次に、SOD 固相拡散プロセスで、PMOS と NMOS のソース・ドレイン(S/D)領域を形成し、選択的に Top-Si (T_{Si})層をエッチングして、素子分離を行った。続いて、6.0 nm 厚のゲート酸化膜(T_{ox})形成と 30 nm 厚の PVD-TiN 膜堆積を行った。次に、ハードマスク用に 55 nm 厚の TEOS-SiO₂ 膜を堆積し、ミニマルマスクレス露光機でゲートパターンを形成し、ウェットエッチングでゲート加工を行った。また、層間絶縁膜として、131 nm 厚の TEOS-SiO₂ 膜を堆積し、コンタクトホール形成と Al 堆積及び配線加工などを行い、フォーミングガス雰囲気中でシンタリングを行った。この段階で、単体 MOSFET 及び CMOS リングオシレータの電気特性評価を行った。最後に、ウェハ裏面に 300 nm 厚の Al 膜を堆積し、マスクアライナーと深堀エッチャーを利用して、単体 MOSFET と CMOS リングオシレータの PMOS 領域の下にダイアフラムを形成し、再び電気特性評価を行った。

【評価】Fig. 2 に直径 $\phi = 700$ μ m の極薄 SOI ダイアフラム上に作製した単体 MOSFET の顕微鏡写真と SOI ダイアフラムの三次元模式図を示しており、残留応力によりダイアフラムが基板方向に撓んでいることも確認できる。その撓み量はダイアフラム中央付近で 19 μ m 程度であった。このようなダイアフラムの撓みによる円心方向の応力を有効に活用するために、MOSFET をダイアフラムの縁部に配置した。Fig. 3 にダイアフラム作製前後の I_d - V_d 特性を示しており、大きな駆動電流の変化が確認できる。スプリット CV 法でダイアフラム作製前後の実効移動度を評価した結果、ダイアフラム作製後の電子移動度の増大とホール移動度の低下が確認できた。従って、Fig. 3 に示す駆動電流変化は、主に残留応力による移動度変化に起因する

ことが分かった。また、PMOSFET 領域のみにダイアフラムを形成して作製した 5 段の CMOS リングオシレータにおいて、ダイアフラム作製前後の発振周波数の変化も確認した。このように、ダイアフラムに印加される圧力によって変化する CMOS リングオシレータの発振周波数をセンシングすることで、微細化可能なデジタル式 CMOS-MEMS 融合圧力センサ開発が可能であると言える。

【文献】 [1] Y. X. Liu et al., Jpn. J. Appl. Phys. 56, 06GG01 (2017). [2] Y. X. Liu et al., Jpn. J. Appl. Phys. 57, 06HD03 (2018). [3] Y. X. Liu et al., EDTM, pp. 131-133 (2018).

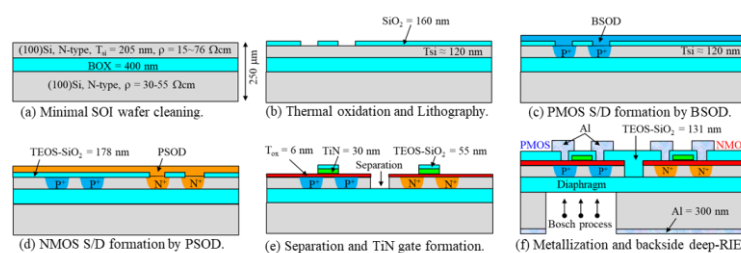


Fig. 1. Schematic device fabrication process flow for the minimal CMOS on circular SOI diaphragms.

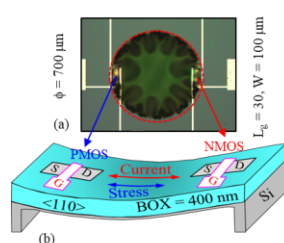


Fig. 2. (a) Microscopic and (b) 3D images of Longitudinal MOSFETs on the SOI diaphragm.

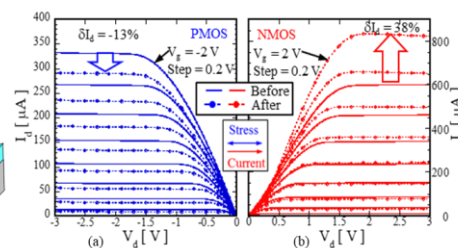


Fig. 3. I_d - V_d characteristics of the fabricated longitudinal (a) PMOS and (b) NMOS before and after diaphragm formation.