Si と接合したダイヤモンド基板上の FET の作製

Fabrication of Field-Effect Transistors on Diamond Substrate Bonded to Si

大阪市大院工 [1]，佐賀大院工 [2]，アダマンド並木精密宝石 [3]
梁　剣波 [1]，　桝谷　聡士 [2]，藤井　大樹 [3]，金　聖祐 [3]，嘉数　誠 [2]，重川　直輝 [1]
Osaka City Univ. [1], Saga Univ.[2], Adamant Namiki Precision Jewel Co., Ltd.[3]
°J. Liang[1], S. Masuya[2], D. Fujii[3], Seong-woo Kim[3], M. Kasu[2], and N. Shigekawa[1]
E-mail: liang@elec.eng.osaka-cu.ac.jp

【はじめに】ダイヤモンド半導体は、SiC と GaN と比べて、熱伝導率、耐熱性、絶縁破壊強度、耐放射線性などといった物理特性が優れていることから、次々世代のパワー半導体として大いに期待されている。しかし、デバイス応用に必要不可欠なダイヤモンド単結晶の市販品の寸法は 4 ミリ角程度にすぎない。我々はこれまでに、表面活性化接合法(SAB)を用いて常温でダイヤモンドと Si との直接接合を初めて達成し、接合界面に機械的な破損や空洞が見られなかったことで良好な接合界面が得られた [1]。今回、我々は大口径 Si 基板と直接接合した単結晶ダイヤモンド上に電界効果トランジスタ（FET）を作製し、動作を実証し、ダイヤモンドプロセスによる接合界面構造への影響を調査した。

【作製方法】SAB 法により 4 ミリ角の両面鏡面済単結晶ダイヤモンド基板を Si 基板と接合した。接合したダイヤモンド上にホモエピタキシャル薄膜を結晶成長し、NO_2 ドーピング層を形成し、デバイスプロセスなどを経てダイヤモンド FET を作製した。作製プロセスを図 1 に示す。透過電子顕微鏡(TEM)観察を用いて、接合界面評価を行った。

【結果】作製したダイヤモンド FET の試料写真を図 2 に示す。作製した FET は良好なドレイン電流電圧特性を示し、ゲート電圧-4V においてゲート長 3μm で 43.5mA/mm のドレイン電流密度が得られた。接合界面の断面 TEM 像に厚み数ナノメートルの中間層が観察されるものの、亀裂が見られなかった。FET 作製途中でダイヤモンド基板の剥離が見られなかったことで、ダイヤモンドと Si 接合が半導体デバイスプロセスに適用可能であることを示した。

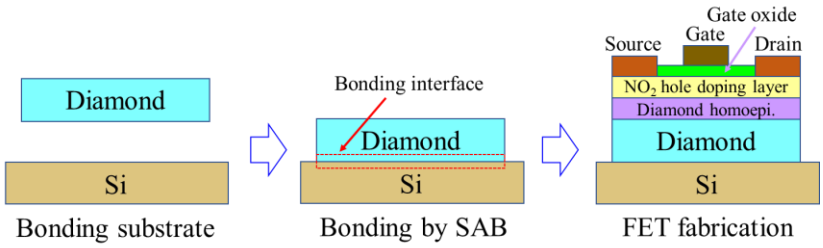

Fig. 1 Procedures of diamond FETs on diamond substrate bonded to Si.

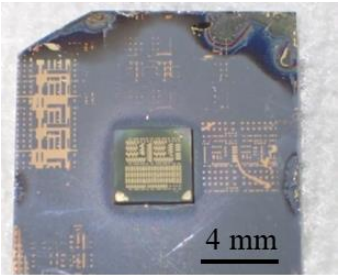

Fig. 2 Photograph of diamond FETs on diamond on Si.

【参考文献】

[1] Jianbo Liang et al. Appl. Phys. Lett. 110, 111603 (2017).

© 2018年 応用物理学会