

DC ストレス後のダイヤモンド MOS FET 特性の デバイスシミュレーションによる解析

Diamond MOS FET characteristics after DC stress studied by TCAD

佐賀大学 理工学部 大石 敏之, 鴨川 拓弥, 嘉数 誠

Saga Univ. °T. Oishi, T. Kamogawa, M. Kasu

E-mail: oishi104@cc.saga-u.ac.jp

1.はじめに

スーパーワイドバンドギャップ半導体のダイヤモンドは、絶縁破壊電界や移動度などの電気的特性が優れているだけでなく、高い熱伝導度を持つため、高出力かつ高周波の電子デバイスに適している。これまで、我々は、ダイヤモンド MIS FET への DC ストレス試験について実験で検討した¹⁾。空気中で、ゲート電圧(V_{gs}) -1 V, ドレイン電圧(V_{ds}) -5 V を印加したところ、14.3 時間でドレイン電流(I_d)が劣化した。各端子の電流を実測したところ、ゲートとドレイン間が劣化していることがわかった¹⁾。今回、ストレス後の DC 特性をデバイスシミュレーションで検討したので、報告する。

2. デバイス構造

シミュレーション(シルバコ社 ATLAS)に用いたダイヤモンド MOS FET の断面模式図を図 1 に示す。水素、 NO_2 吸着層の代わりに固体電荷をダイヤモンド/ Al_2O_3 ゲート絶縁膜界面に配置したモデルを用いた²⁾。今回、ダイヤモンドの移動度を $100 \text{ cm}^2/\text{V/s}$, 固定電荷密度を $-1 \times 10^{13} \text{ cm}^{-2}$ とした。また、ゲート長は $5.5 \mu\text{m}$, ソース・ゲートとゲート・ドレイン間距離は $1.2 \mu\text{m}$, アルミナ膜厚は 16 nm とした。ドレイン側のゲート端を中心に左右 $0.5 \mu\text{m}$, 深さ 8 nm の領域に、DC ストレスでダメージが入ると仮定した。実験¹⁾ではデバイス全体の平均的な挙動ではあるが、移動度と固定電荷の低下が観察された。そこで、ダメージ領域の移動度を $10 \text{ cm}^2/\text{V/s}$, 固定電荷を $1 \times 10^{12} \text{ cm}^{-2}$ とした。シミュレーションでは、ダメージの有無、ダメージ領域で移動度のみが低下した場合、固定電

荷密度のみが低下した場合の 4 条件について計算した。なお、ゲートリーク機構は取入っていない。

3. 計算結果と考察

図 2 に $V_{gs} -4 \text{ V}$ での I_d - V_{ds} 特性を示す。図中に示す移動度(μ), 固定電荷密度(σ)は、ダメージ領域の値で、示している数値以外はダメージのない領域と同じ数値を用いた。 μ , σ のいずれかが劣化すれば、オン抵抗と飽和電流の劣化が見られた。 μ , σ の両方が低下すると、さらにオン抵抗と飽和電流が低下した。

図 3 に $V_{ds} -10 \text{ V}$ での I_d - V_{gs} 特性を示す。 μ のみの劣化ではしきい値は変化せず、立上った後の傾きが低下した。一方、 σ が低下すると、しきい値が負に移動するが、立上り後の傾きはほぼ同じである。実測ではしきい値のシフトが観察されており、ダイヤモンド/ Al_2O_3 界面が劣化し、 σ が減少した可能性がある。また、 I_d - V_{ds} 特性の飽和領域での I_d 減少は、 μ 低下による寄生抵抗増加と σ 低下によるしきい値シフトが要因である。

4. まとめ

DC ストレス試験によるダイヤモンド MIS FET の DC 特性変化をデバイスシミュレーションで検討した。DC ストレスによりドレイン側のゲート端付近の界面が劣化し、移動度と固定電荷が低下したと考えることで、ストレス後の DC 特性の傾向を説明できることがわかった。

参考文献

1. 石松他, 信学会研究会, ED2017-63.
2. 大石他, 信学会論文誌 C, J99-C, p.193 (2016).

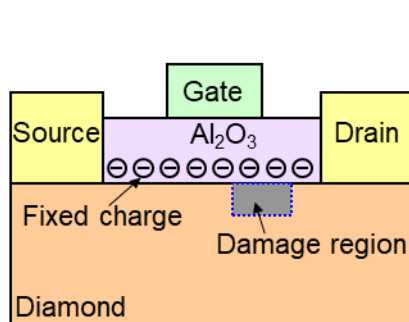


Fig.1 Schematic cross sectional structure for device model.

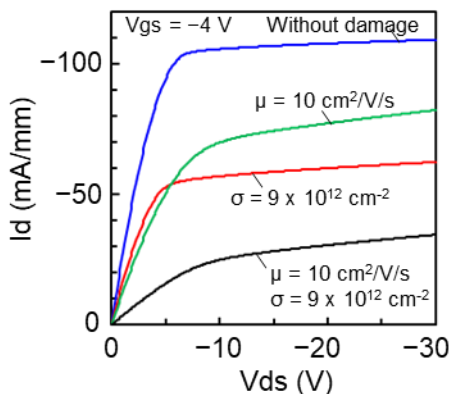


Fig.2 I_d - V_{ds} characteristics.

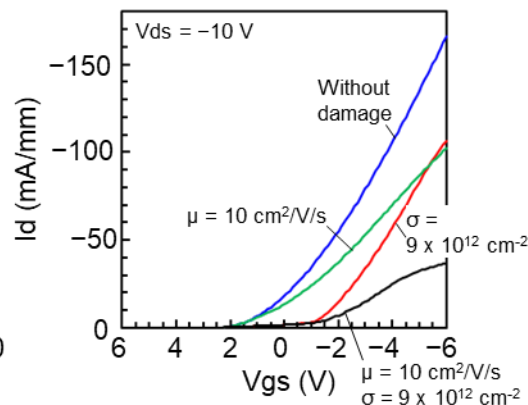


Fig.3 I_d - V_{gs} characteristics.