

InP 基板上 II-VI 族半導体光デバイスにおける n 側構造の電気特性解析

Electrical characteristic analysis of the n-side structure of II-VI compound semiconductor optical devices on InP substrate

上智大理工 小林穂貴、石井健太、前田慶治、野村一郎

Sophia Univ., ^oHodaka Kobayashi, Kenta Ishii, Keiji Maeda, and Ichirou Nomura

E-mail: i-nomura@sophia.ac.jp

はじめに: InP 基板上 II-VI 族半導体は可視光を含む広い波長域に対応する光デバイス材料として期待される。我々は当該材料を用いた緑色/黄色発光 LED、レーザの研究を行っている。その中で、高い印加電圧が課題の一つとなっている。これまでに、その原因の一つが、デバイスの n 側構造における ZnCdSe バッファ層と MgZnCdSe クラッド層間のヘテロ接合におけるショットキー特性であることが示された[1]。本研究では、このショットキー特性が想定されるヘテロ障壁により説明できるのか、またヘテロ障壁とショットキー特性との関係を調べるため、電気特性の実験値と理論解析結果を比較検討した。

結果と考察: デバイスの n 側層だけで構成された試料(Fig.1)の室温での電流電圧(J-V)特性を Fig.2 に示した。試料は n-InP 基板上に n-ZnCdSe バッファ層及び n-MgZnCdSe 層によるヘテロ接合を含む構造とした。得られた J-V 特性より、立ち上がり電圧が 3V 近傍にあるショットキー特性が見られ、これがデバイスにおける高印加電圧の原因の一つと推察された[1]。次に、試料と同様の ZnCdSe/MgZnCdSe ヘテロ接合における J-V 特性の理論計算を行い、Fig.2 に示した。ここで、当該ヘテロ接合における伝導帯でのエネルギー障壁(ΔE_c)を変えながら計算を行った。その結果、 $\Delta E_c = 0.759\text{eV}$ における理論値と実験値が良く一致し、またこの値は試料の物性値から見積もられる $\Delta E_c = 0.68\text{eV}$ にも近いことから当該ヘテロ障壁が実験値のショットキー特性の原因であることが示された。一方、 ΔE_c が低い(0.365eV)場合にはオーミック性に近づき、印加電圧も大幅に低減できることが分かった。以上より、印加電圧の低減には、ヘテロ接合での電気特性を考慮した構造の最適化が重要であることが示された。

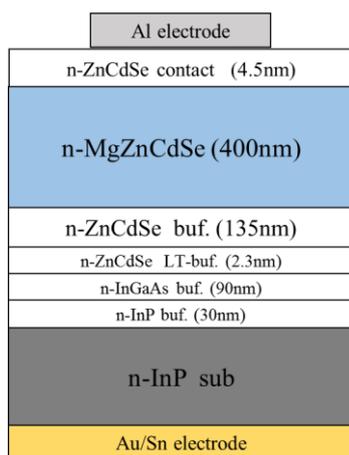


Fig.1 A schematic diagram of the n-ZnCdSe/MgZnCdSe sample.

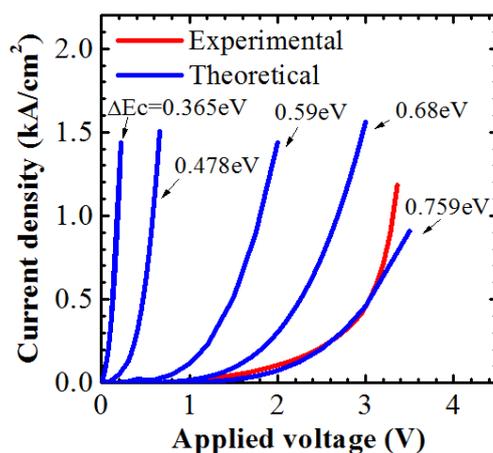


Fig.2 Experimental and theoretical J-V characteristics of ZnCdSe/MgZnCdSe hetero structures.

参考文献 [1]石井他, 第 64 回応用物理学会春季学術講演, 17a- 513-4

謝辞: 本研究の一部は、文科省科研費基盤 C(#18K04243)の援助を得て行われた。