

ドライエッチングプロセスによる $\text{CaF}_2/\text{Si}/\text{CaF}_2$ 共鳴トンネル構造の室温微分負性抵抗特性

Room temperature negative differential resistance of $\text{CaF}_2/\text{Si}/\text{CaF}_2$ resonant-tunneling structures fabricated by dry etching

東工大工学院 ○熊谷佳郎, 大野綜一郎, 廣瀬皓大, 福山聡史, 利根川啓希, 渡辺正裕

Tokyo Institute of Technology ○Y. Kumagai, S. Ono, K. Hirose,
S. Fukuyama, K. Tonegawa and M. Watanabe

E-mail: kumagai.y.ah@m.titech.ac.jp

【はじめに】フッ化カルシウム(CaF_2)はシリコン(Si)との良好な格子整合性や、そのヘテロ界面における大きなバンド不連続量(1–2.3eV)から、Siをベースとした室温動作可能なヘテロ構造デバイス材料として有望である[1]。我々はこれまでに、 Si/CaF_2 ヘテロ構造を用いた共鳴トンネルダイオードやその集積スイッチング素子への応用を提案・実証してきた[1]が、 CaF_2 についてはドライエッチング手法の報告例がわずかしかなかく[2]、高密度集積を志向した微細パターンを有する Si/CaF_2 共鳴トンネル素子を作製するためのドライエッチング技術の確立が課題となっている。そこで我々は、Si のエッチングガスとして一般的に用いられる CF_4/O_2 混合ガスを Si/CaF_2 多積層構造のドライエッチングに適用したところ、極薄膜積層構造に対して優れた寸法制御性を有するエッチング速度(数 nm/min)が得られたことを既に報告した[3]。今回、上述の結果を Si/CaF_2 二重障壁共鳴トンネルダイオード(RTD)の作製プロセスに適用しその動作特性を検証した結果、室温において複数の電流ピークを有する微分負性抵抗(NDR)を観測したので報告する。

【素子構造および作製手法】作製した素子構造と伝導帯バンドプロファイルを Fig. 1 に示す。 $\text{Si}(111)0.1^\circ$ off 基板をSPM洗浄後、分子線エビタキシー装置内に搬入し、Si 分子線照射にて保護酸化膜を除去した後、 CaF_2 (0.93nm)/i-Si (3.1nm)/ CaF_2 (0.93nm)/n-Si(5nm)の結晶成長を行う。その際、1層目の CaF_2 は基板温度を 650°C 、2層目以降は CaF_2 , Siともに 200°C とし結晶成長を行い、成長直後に 650°C にて30分間の固相エビタキシャル結晶化アニールを行った。その上に直径 $3.5\mu\text{m}$ のフォトリソパターンをマスクとして形成し、 CF_4/O_2 をエッチングガスとしてドライエッチングを行うことでRTDメサを形成する。さらに、その上にin-situスパッタリングにより SiO_2 保護膜を堆積した後、フォトリソを除去(リフトオフ)することにより素子分離する。最後にCr/Au電極をリフトオフにより形成して素子の完成となる。

【結果と考察】作製した素子の室温におけるI-V特性をFig. 2に示す。室温において明瞭なNDR

が観測され、第2共鳴ピークのピーク対バレー電流比(PVCR)は79、ピーク電流密度は $1\text{--}10\text{ kA}/\text{cm}^2$ であった。第1共鳴ピークと第2共鳴ピークの電圧間隔は 0.68V であり、設計層厚におけるシミュレーション結果 0.67V との良好な整合が得られた。第1共鳴ピークのPVCRが1.1と小さいのは低バイアス領域におけるリーク電流重畳の可能性が別素子の特性評価から示唆されている。今回得られた結果から、提案するドライエッチングプロセスにより室温動作可能な Si/CaF_2 RTDが形成可能であることを明らかにしたが、リーク電流やヒステリシス、繰り返し耐性に与えるドライエッチングプロセスの影響について今後調査を進める。

【参考文献】

- [1] Y. Kuwata et al., *Appl. Phys. Express* 9 074001 (2016)
- [2] A. Matsutani et al., *Jpn. J. Appl. Phys.* 47 5113 (2008)
- [3] 熊谷他, 第78回応用物理学会 秋季学術講演会 8p-PA2-3 (2017)

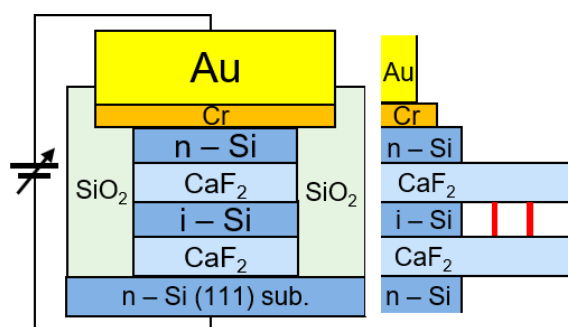


Fig. 1 素子構造と伝導帯バンド構造

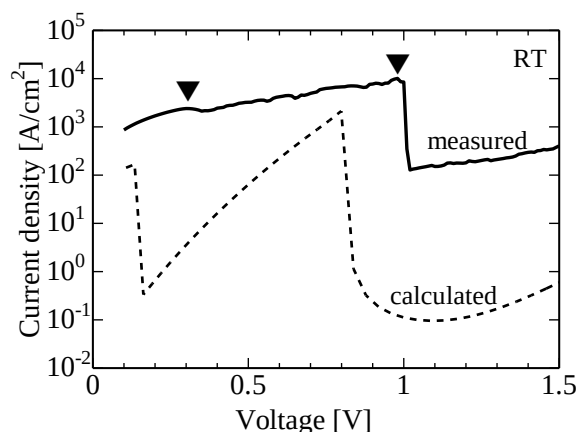


Fig. 2 室温電流電圧特性