SOI-Si/4H-SiC 基板貼り合わせを用いた耐放射線画素デバイスの検討

SOI-Si/4H-SiC pixel devices for radiation hardened image sensors

[•]目黒 達也¹,長谷部 史明¹,牧野 高紘²,大島 武²,田中 保宣³,黒木 伸一郎¹

1広島大学ナノデバイス・バイオ融合科学研究所,2量子科学技術研究開発機構、3産業技術総合研究所

^oTatsuya Meguro¹, Fumiaki Hasebe¹, Takahiro Makino², Takeshi Ohshima²,

Yasunori Tanaka³, and Shin-Ichiro Kuroki¹

¹Research Institute of Nanodevice and Bio Systems, Hiroshima University,

²National Institutes for Quantum and Radiological Science and Technology (QST),

³National Institute of Advanced Industrial Science and Technology (AIST)

E-mail: {meguro, skuroki}@hiroshima-u.ac.jp

【はじめに】福島第一原子力発電所事故を受け、安全な廃炉プロセスの研究が国内外で進んでいる。廃 炉に投入されるロボットの運用可能時間が、イメージセンサの耐放射線性によって制限されている。 4H-SiC は非常に優れた耐放射線性をもつエレクトロニクス材料であるが[1,2]、イメージセンサとする には可視光における吸光度が低く、不適である。一方で従来の Si-CMOS イメージセンサでは、各ピク セル内部の MOSFET が放射線の影響を顕著に受ける。本研究では以上の SOI Si フォトダイオードと 4H-SiC MOSFET の同基板上への集積化を行い、プロセスの検討と画素デバイスの動作評価を行ったの で報告する。

【デバイスプロセス】 画素デバイス内のトランジスタには p型 4H-SiC MOSFET を採用した。 基板には N型4H-SiC (0001)4度オフを使用し、エピタキシャル層の不純物濃度は1.0×10¹⁶ cm⁻³ である。まずAl の熱イオン注入とカーボンキャップ層を用いた 1700℃でのアニールにより、ドレインソース領域を形 成した。続いてゲート熱酸化膜を 1150℃で 20 nm 成膜した。

Si フォトダイオードは 1.5 μm の厚みを持つ SOI 基板に作製した。はじめに SOI ウェハに 10 nm の熱 酸化膜を形成する。続いて SOI ウェハ全面に B イオンを注入した後、SOI 基板と 4H-SiC エピタキシャ ル基板を 0.5%HF によって、一定の圧力下で 24 時間かけて貼り合わせた。SOI ウェハの Si 支持層と BOX 層をウェットエッチングで除去し、SOI-Si 層 1.5 µm が 4H-SiC 上に残る。SOI-Si/4H-SiC 基板に P イオンの注入を行い、Si-フォトダイオードの N+領域を形成した。続いてドライエッチングによって、 SOI-Si のフォトダイオード部と、4H-SiC MOSFET のゲート部を形成した。最後に SOG を用いた層間 絶縁膜と、コンタクトホールおよび Al 電極を形成した。

【測定結果】作製した画素デバイスの顕微鏡写真を図1に示す。フォトダイオードの面積は 500µm²、 トランジスタのチャネル長は 10 μm、チャネル幅は 50 μm である。遮光状態および照光状態での出力 特性を図2に示す。測定時、VDDと VRS は-5.5 V、RST への信号として Hi が0V、Low が-5 V の矩形波 100 Hz を用いている。出力電圧は遮光状態では 0.62 V、一方 7 klux の照光下では 0.74 V である。SOI-Si フォトダイオードと 4H-SiC MOSFET の画素デバイスの動作を示すことができた。

【謝辞】本研究の一部は、文部科学省「英知を結集した原子力科学技術・人材育成推進事業 戦略的原 子力共同研究プログラム」の成果である。

[1] S. S. Suvanam, S-I. Kuroki, L. Lanni, R. Hadayati, T. Ohshima, T. Makino, A. Hallen, C.-M. Zetterling, IEEE Tran. Nucl. Sci., 64, 852-858 (2017).

[2] S-I. Kuroki, H. Nagatsuma, M. De Silva, S. Ishikawa, T. Maeda, H. Sezaki, T. Kikkawa, T. Makino, T. Ohshima, M. Östling, and C.-M. Zetterling, Mat. Sci. Forum, 858, pp864-867 (2016).

0.25

-0.25 Voltage (V) -0.5

10.75 output

-1

0



-1.25 -1.5 -0.03 -0.02 -0.01

Time (sec) Fig. 1. SOI-Si PD/4H-SiC pMOS pixel device. Fig. 2. Output characteristics with RST operation

0

0.01

0.02 0.03

RST: Rectangular Voltage with VHi= 0V, VLow= -5V, 100Hz

= -5.5V

of 100Hz under dark condition and under visible light.