

イオン注入を用いた中空構造 SOI 層のピラー形状制御による 高効率低温転写法

Improvement of transfer yield of single-crystalline silicon films

by pillar shape control using ion implantation

広大院先端研 °山下 知徳, 水上 隆達, 東 清一郎

Graduate School of Advanced Sciences of Matter, Hiroshima Univ.

°T. Yamashita, R. Mizukami and S. Higashi

E-mail: semicon@hiroshima-u.ac.jp

序>近年、高性能フレキシブルエレクトロニクスに注目が集まっている。プラスチック基板上にデバイス形成する際、低温形成が可能というメリットから薄膜トランジスタ(TFT)のチャネル材料として有機物・酸化物半導体が広く研究されている。一方、単結晶 Si(c-Si) は高い移動度、高い信頼性、そして CMOS 回路の形成が可能といったメリットを有している。このような高い電気的性能を持つ c-Si TFT と有機物・酸化物半導体を用いた電子デバイスの併用により集積回路とセンサなどの異種デバイスを同一基板上に形成することが可能となり、フレキシブルエレクトロニクスの新たな可能性を見出すことが期待される。しかしながら、c-Si TFT 作製工程には高温プロセスが必要であり、耐熱温度の低いプラスチック基板上での形成は非常に困難である。我々は、メニスカス力を用いた中空構造 SOI(Silicon on Insulator)層の低温転写に取り組んでおり、フレキシブル基板上に c-Si 膜を局所的に転写可能であることを報告してきた[1]。本技術をデバイス作製に応用する上で、転写歩留まりを 100% 近くまで改善することが重要な課題となっている。本研究では、不純物濃度によって SiO₂ のエッチング速度が変化すること[2]に注目し、イオン注入によって生まれるエッチング速度の差によるセルフリミットを利用した SiO₂ ピラーの微細化及び転写歩留まりの向上を行った。

実験方法>セルフリミットエッチングプロセスの概念図を Fig. 1 に示す。まず SOI 層 80 nm、BOX 層(SiO₂ 層)400 nm の SOI ウェハを用い、フォトリソグラフィ及びドライエッチングにより SOI 層のパターニングを行った(Fig. 1(a))。次に電子線露光によって作製した 250 nm 角のレジストをマスクとしてイオン注入(リン(P)、ドーズ量: 1×10^{15} cm⁻²、加速電圧:40 keV)を行い(Fig. 1(b))、その後濃度 10 %、温度 30 °C の HF にて BOX 層のエッチングをすることにより中空構造 SOI 層を形成した(Fig. 1(c))。このとき、イオン注入された領域が速くエッチングされていき、イオン注入されていない領域に達すると遅くなることでセルフリミットエッチングを実現し、極細の SiO₂ ピラーを均一に形成することを試みた。この中空構造 SOI 層と PET(poly-ethylene terephthalate)基板とを水を介して対向密着させ 80 °C のホットプレート上で水分を蒸発させることで基板間に強いメニスカス力を誘起させ、その後、基板を分離することで SOI 層を PET 基板へ転写した。

結果>エッチング時間と SiO₂ ピラーサイズの関係を図 2 に示す。イオン注入された BOX 層のエッチング速度は 45 nm/s であるのに対して、イオン注入されていないレジスト下部では 2 nm/s と約 22 分の 1 の速度に低下した。これにより、SiO₂ ピラー部ではセルフリミットによりピラーサイズが決まるため、250nm 以下の極細ピラーを均一に形成することが可能となり、ピラーサイズのばらつきは±100 nm 程度から±20 nm 以下に抑制された(Fig. 2)。中空構造 SOI 層の PET 基板への転写率のエッチング時間依存性を Fig. 3 に示す。従来プロセスでは 90% 以上の転写率を得られるプロセスウィンドウがわずか 5 秒であったのに対し、セルフリミットエッチングでは 30 秒程度まで拡大していることがわかる。Fig. 2、3 より SiO₂ ピラーサイズを 150~250 nm の範囲に制御することで高い転写歩留まりが得られることがわかる。これは、セルフリミットエッチングによって SiO₂ 柱サイズのばらつきが±20 nm 以下に抑制されたことですべての柱が 150~250 nm の範囲内になるため高い転写歩留まりが得られたと考えられる。この結果、転写歩留まり 99.86 % (5792/5800 個) を実現した。

謝辞>本研究の一部は広島大学ナノデバイス・バイオ融合科学研究所(RNBS)の施設を用いて行われた。

References: [1] K. Sakaike, S. Nakamura, M. Akazawa, and S. Higashi, Jpn. J. Appl. Phys., **53**, 018004-1 (2014). [2] D. J. Monk, D. S. Soane, and R. T. Howe, J. Electrochem. Soc. **141**, 264 (1994).

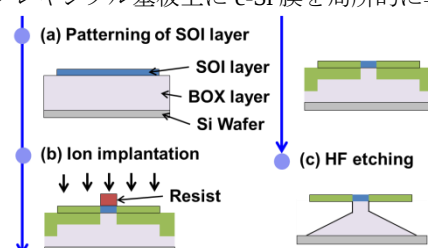


Fig. 1. Schematic diagram of SiO₂ pillar formation process by self-limit etching.

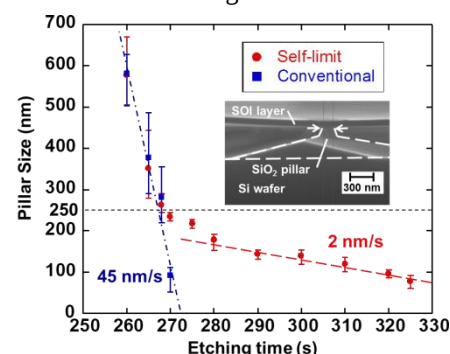


Fig. 2. Relationship between pillar size and etching time. Inset shows a SEM image of side view of SiO₂ pillar after HF etching.

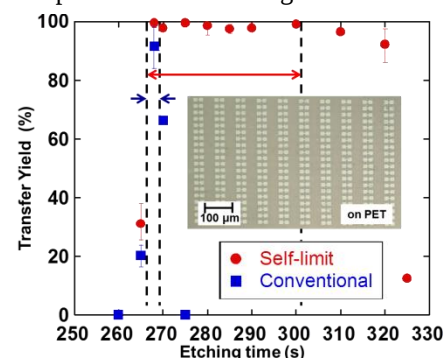


Fig. 3. Relationship between transfer yield and etching time. Inset shows a photograph of transferred Si islands on PET.