

PLAS プロセス用いた BG poly-Si TFT のオフ電流抑制

Off Current Reduction of BG poly-Si TFT by PLAS Process

○餅井 亮介¹, 藤井 茉美¹, 石河 泰明¹, 菅原 祐太², 野寺伸武², 松本隆夫², 浦岡 行治¹

(1. 奈良先端大, 2. 株式会社堺ディスプレイプロダクト)

○Ryosuke Mochii¹, Mami N. Fujii¹, Yasuaki Ishikawa¹, Yuta Sugawara²,

Nobutake Nodera², Takao Matsumoto², and Yukiharu Uraoka¹

(1. Nara Institute of Science and Technology, 2. Sakai Display Products Corp., Osaka, Japan)

E-mail: f-mami@ms.naist.jp

【緒言】

現在, 大型ディスプレイを駆動させる TFT の主流材料である a-Si は, 材料由来の低移動度 ($\sim 0.5 \text{ cm}^2/\text{Vs}$) や光特性により TFT の高速駆動や光耐性に課題がある. poly-Si を利用する場合も, ELA (Excimer Laser Anneal) などの結晶化装置による大型化が困難となるのが現状である. そこで我々は, 大型基板に対応した結晶化装置として部分照射レーザーアニールシリコン (PLAS : Partial Laser Anneal Silicon) プロセスに注目した. 野寺らは, PLAS を用いて G10 基板上の a-Si TFT のチャネル位置を poly-Si 化することで, 酸化物半導体 TFT に匹敵する高移動度 TFT ($\sim 30 \text{ cm}^2/\text{Vs}$) を実現している[1]. 一方, poly-Si TFT 特有のオフ電流を抑制することが課題であるため, 本研究では, デバイスシミュレーションを用いて, PLAS プロセス特有の TFT 構造によるオフ電流低減を検討したので報告する.

【結果及び考察】

基板全面に結晶化された poly-Si, および PLAS によりチャネル領域のみが部分的に結晶化された基板を用いた ES (Etch Stopper) 構造の TFT (図 1A, B) をデバイスシミュレーションで作成し, オフ状態 ($V_{gs} = -20\text{V}$, $V_{ds} = 10\text{V}$) の電界分布, および I_{ds} - V_{gs} カーブを計算した (図 1, 2).

構造 A から構造 B に変更することで, I_{ds} - V_{gs} カーブより算出した On/Off 比は約一桁増加した. 構造 B のオン電流の低下は, チャネル領域の a-Si の抵抗成分増加したことによる考えられる. 一方, 構造 B のオフ電流の低下は, 図 1 に示す電界分布より, ドレイン側での電界分布が構造 A から変化した, 強度が低下したことに起因していると想定される. 本結果より, PLAS による部分的 poly-Si の形成を利用することによる poly-Si TFT の特性改善の可能性が示された.

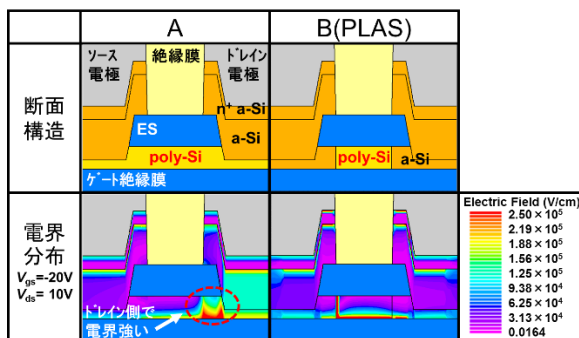


図 1 TFT の断面構造とオフ状態の電界分布

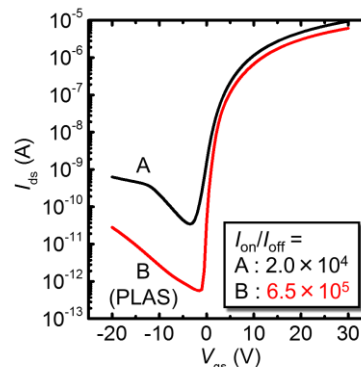


図 2 I_{ds} - V_{gs} シミュレーション結果 ($V_{ds} = 10\text{V}$)

[1] Nodera et al., Journal of the Society for Information Display, 24, p. 394-401(2016).