## CdS/KF 処理 Cu(In,Ga)(S,Se)2 界面の電子構造評価

## Characterization of electronic structure of the interface between CdS buffer and KF-treated Cu(In,Ga)(S,Se)<sub>2</sub> absorber

鹿児島大 <sup>1</sup>, ソーラーフロンティア <sup>2</sup>, 産総研 <sup>3</sup>: <sup>o</sup>寺田 教男 <sup>1</sup>, 川村 末洋 <sup>1</sup>, 岩本 悠矢 <sup>1</sup>, 谷川 昂平 <sup>1</sup>, 加藤 拓也 <sup>2</sup>, 杉本 広紀 <sup>2</sup>, 柴田 肇 <sup>3</sup>, 松原 浩司 <sup>3</sup>, 仁木 栄 <sup>3</sup>

Kagoshima Univ.<sup>1</sup>, Solar Frontier K. K.<sup>2</sup>, AIST<sup>3</sup>: N. Terada<sup>1</sup>, S. Kawamura<sup>1</sup>, Y. Iwamoto<sup>1</sup>, K. Tanigawa<sup>1</sup>, T. Kato<sup>2</sup>, H. Sugimoto<sup>2</sup>, H. Shibata<sup>3</sup>, K. Matsubara<sup>3</sup> and S. Niki<sup>3</sup> e-mail: terada@eee.kagoshima-u.ac.jp

はじめに CIS 系太陽電池において 達成されている薄膜系電池として最高の変換効率 22.9%の変換効率 は Cu(In, Ga)Se<sub>2</sub> 光吸収層表面を部分硫化した Cu(In,Ga)(S,Se)<sub>2</sub> [CIGSSe]層にアルカリハライドを用いた CIGSSe 層堆積後アニール (PDT)を施すことにより得られている。PDT が CIGSSe 層表面や電池内界面の バンド接続に及ぼす効果及び機構解明は CIS 系の極限特性の追究に有用と考えられる。今回、*in-situ* 正・逆光電子分光法により CIGSSe 層表面状態、CdS/CIGSSe 界面のバンド接続の評価を行ったので報告する。 実験 セレン化・硫化法を用いて変換効率 19%以上を示す電池と同条件で形成された CIGSSe 層に KF を *in-situ* 室温蒸着し、続いてアニール(350°C)を施した表面を出発点とし、CdS 層を *in-situ* 蒸着することで積 層構造を形成した。価電子帯上端 (VBM)、伝導帯下端 (CBM)は紫外線光電子分光法 (UPS)、逆光電子 分光法 (IPES)により評価し両層のバンド端エネルギー差と X 線光電子分光法(XPS)による内殻結合エネ ルギーの CdS 膜厚依存性から求めた界面誘起バンド湾曲 (iibb)を用いてバンドオフセットを決定した。

結果 CIGSSe 表面の内殻 XPS 信号の結合エネルギーは、KF-PDT によりコヒ ーレントに約0.2 eV 減少した。このとき、CBM 及び VBM においても対応す るコヒーレントなバンド端の上昇が見られた。これらはフェルミ準位が下降し た際の典型的変化であり KF-PDT の主要な効果が表面領域のホール濃度の増大 による p 型性の促進にあることを示唆している。処理表面は、未処理表面と比 べて 0.1~0.2 eV 高い CBM~0.95 eV を特徴としている。

KF-PDT 処理 CIGSSe 表面に CdS を 30 nm まで堆積した CdS/CIGSSe:KF-PDT 構造の UPS/IPES スペクトル、Cu、 In、Cd 内殻信号と CdS 層厚の関係を図 1、 図 2 に示す。CdS 層堆積初期に CIGSSe 関連内殻信号の約 0.05 eV の低結合 エネルギー側へのシフトがみられ、界面形成初期に CIGSSe 側で若干のバン ド端上昇が見られた。一方、CdS 層厚の増大に伴い、CdS 関連信号に大き な高結合エネルギー側へのシフトが見られ、バッファ堆積後半で顕著なバン

ドの下降が誘起されることが見出された。電子 構造がバルク的となる 30 nm 厚の CdS 層表面は 未処理表面と同一の CBM(~0.4 eV)を示した。こ れらの結果は KF-PDT により界面領域のビルト インポテンシャルが増大することを示しており、 KF-PDT による開放電圧増大に対応している。 一方、この界面の iibb は、0.39 eV と未処理界面 の値 0.44 eV と同程度であり、その結果、伝導 帯オフセット (CBO)は、僅かに負(~-0.15 eV)と なった。iibb がビルトインポテンシャルの増大 に追随しないこと、CBO が負であるにも関わら ず電池効率が劣化しないことは KF-PDT が界面 欠陥の導入等、何らかの界面の変成の誘起及び キャリア寿命の伸長を副次効果として伴うこと、 更なる効率向上(キャリア輸送効率向上等)に 向けた改善の余地が界面電子構造に残されて いることを示唆している。



Fig. 1. Changes in *in-situ* UPS and IPES spectra of CdS/CIGSSe:KF-PDT in conjunction with thickness of CdS buffer.



Fig. 2. Changes in Cu 2p<sub>32</sub> (a), In 3d (b), Cd 3d (c) XPS signals of the CdS/CIGSSe:KF-PDT in conjunction with thickness of CdS buffer.