

自己整合プロセスによるカーボンナノチューブ薄膜トランジスタの 作製と評価

Fabrication and characterization of self-aligned carbon nanotube thin film transistors

名大工¹, 名大未来研² °鹿嶋 大雅¹, 松浦 智紀¹, 廣谷 潤¹, 岸本 茂¹, 大野 雄高^{1,2}

Dept. of Electronics, Nagoya Univ.¹, IMaSS, Nagoya Univ.² °Taiga Kashima¹, Tomoki Matsuura¹, Jun Hirotani¹, Shigeru Kishimoto¹, and Yutaka Ohno^{1,2}

E-mail: yohno@nagoya-u.jp

カーボンナノチューブ薄膜トランジスタ (CNT-TFT) は高い移動度や機械的柔軟性を備え、フレキシブルデバイスへの応用が期待されている。近年、高純度半導体 CNT 材料を用いて、高歩留まりで均一な特性もつ CNT-TFT が得られており、機能集積回路の実現が可能となりつつある。一般的に、プラスチックフィルムなどの柔軟な基板上に素子を作製する場合、プロセス中において基板が伸縮し、リソグラフィにおけるレイヤ間の合わせ余裕を十分に確保する必要がある。したがって、ソース・ドレイン電極とゲート電極のオーバーラップによる寄生容量が大きく、回路の動作速度が低下する。今回、我々は自己整合プロセスにより CNT-TFT を作製し、寄生容量の低減を確認した。

本研究で作製したフレキシブル基板上の自己整合 CNT-TFT の構造を Fig. 1 に示す。ボトムゲート型構造であり、チャネルは半導体 CNT、ゲート絶縁膜は Al_2O_3 (40 nm)、基板はポリエチレンナフタレート (PEN) である。ソース・ドレイン電極のリソグラフィにおいて、裏面露光により、ゲート電極に整合させた。また、比較のため、従来プロセスによる素子も作製した。チャネル長は 5~100 μm チャネル幅は 20~100 μm を用意した。

作製した CNT-TFT の C - V 特性を測定した結果を Fig. 1 に示す。オフ領域の容量に注目すると、自己整合 CNT-TFT は従来の CNT-TFT に比べて寄生容量が $\sim 1/20$ に低減した。また、 I - V 特性を測定したところ、自己整合 CNT-TFT の電流量は従来の CNT-TFT に比べて遜色ないこと

を確認した。したがって、自己整合プロセスの導入により、動作速度の向上が可能であると期待できる。

謝辞: 半導体 CNT は TASC より提供を受けた。本研究の一部は、JSPS 科研費、JST/CREST の成果である。

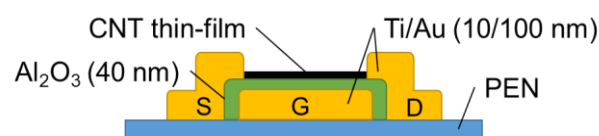


Fig. 1 Schematic device structure of self-aligned CNT-TFT.

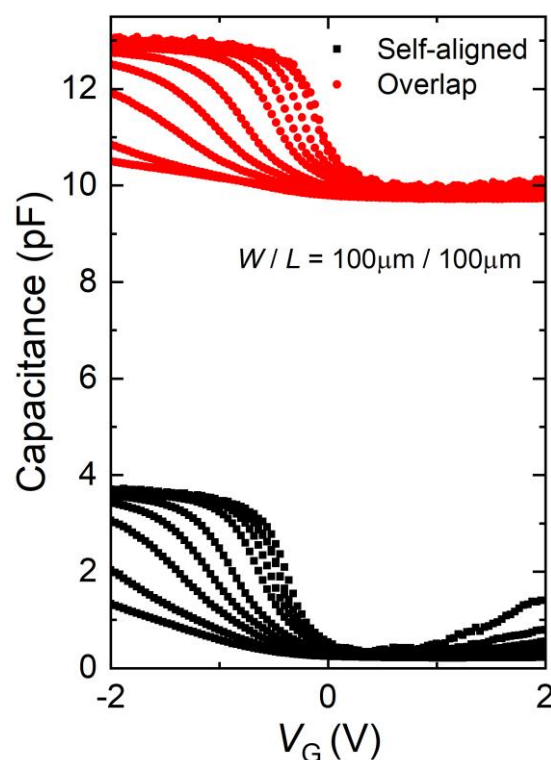


Fig. 2 Measured C - V characteristics.