

NH₃ 雰囲気フラッシュランプアニールによる High-k ゲートスタックの 界面準位密度評価

Interface trap density of high-k gate stack using Flash Lamp Annealing (FLA) under NH₃ ambient

○*首藤広太, *吉仲泰萌, *末政涼, **河原崎光, **青山敬幸, **加藤慎一, *奈良安雄
*兵庫県立大学工学部, **株式会社 SCREEN セミコンダクターソリューションズ
K. Shuto, T. Yoshinaka, R. Suemasa, H. Kawarazaki, T. Aoyama, S. Kato, Y. Nara
University of Hyogo, SCREEN Semiconductor Solutions Co., Ltd
E-mail: eo14q042@steng.u-hyogo.ac.jp

【はじめに】

High-k ゲートスタックの特性向上のためには High-k 膜成膜後の PDA (Post-deposition Annealing) が必要だが、熱履歴の高い PDA では EOT の増大、ドーパントの不活性化等の課題がある。これらの解決のため、ミリ秒で熱処理が可能な FLA(Flash Lamp Annealing)を用いた PDA が提案されている[1]。さらに、NH₃ 雰囲気中での FLA では絶縁膜の薄膜化等が確認されているが[2]、実用化には FLA 後の界面状態の評価が重要である。今回は NH₃ 雰囲気中での FLA による熱処理前後の界面準位密度 D_{it} を評価した結果を報告する。

【実験】

Si-sub(p 型)基板を洗浄後、HfO₂ を 3.5nm 成膜し、FLA で熱処理を行なった。熱処理時の雰囲気ガスには N₂ で希釈した NH₃ を用いた(NH₃ 濃度: 40%, 3.5%, 1%, 0.1%, N₂ のみ)。また熱処理なしのサンプルも作製し、 D_{it} を比較した。 D_{it} は TiN 電極を形成した MOS 構造を用いて、コンダクタンス法により求めた。

【実験結果】

熱処理なし、N₂ 中 FLA、NH₃ 中(40%)FLA のサンプルについて C-V 特性を比較した(Fig.1)。ゲート電圧-1.5V における容量から求めた SiO₂ 換算膜厚を CET(Capacitance equivalent thickness)と定義し、各条件を比較したところ NH₃ 中(40%)FLA のサンプルでは熱処理なしのサンプルに比べて約 14% CET を薄膜化できることを確認した。

各熱処理条件における D_{it} を比較したものを Fig.2 に示す。熱処理なしや N₂ 中 FLA に比べ NH₃ 雰囲気 FLA では D_{it} が減少すること、NH₃ 濃度を増大させると D_{it} の値が減少していくことが分かった。NH₃ 濃度 40% の時、 D_{it} は $5.5 \times 10^{11}(\text{cm}^{-2}\text{eV}^{-1})$ と最小となった。

【まとめ】

NH₃ 雰囲気中での FLA で熱処理を行なうことで、High-k 膜の薄膜化と D_{it} の減少の両者が可能であった。これより NH₃ 雰囲気中の FLA は高性能微細 CMOS 向けの熱処理として有望であることが分かる。

【参考】 [1] 上田晃頌 他, 第 64 回応用物理学会春季学術講演会 16a-413-8

[2] H. Kawarazaki et al., PROCEEDINGS of 2016 21ST INTERNATIONAL CONFERENCE ON ION IMPLANTATION TECHNOLOGY (IIT 2016) pp. 287-290.

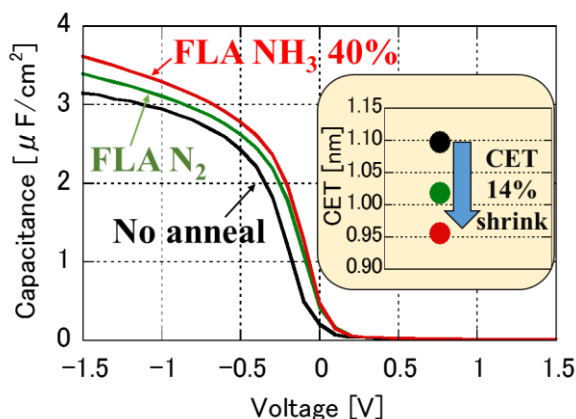


Fig.1 C-V curve and CET for different anneal conditions

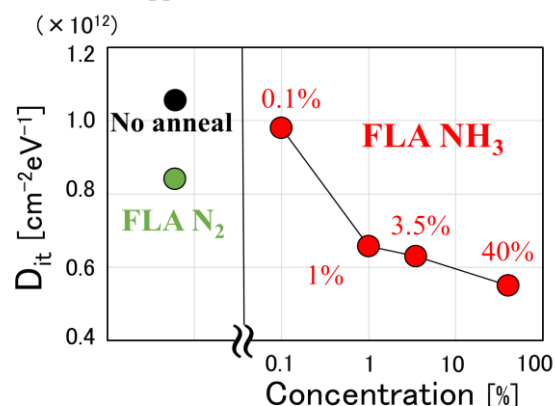


Fig.2 Comparison of D_{it}