

コア・シェル2重ゲート構造を有する InAs ナノチューブ FET Core-shell dual-gated InAs nanotube FET

NTT 物性基礎研¹ ◯佐々木智¹, 館野功太¹, Guoqiang Zhang¹

NTT Basic Research Labs.¹ ◯S. Sasaki¹, K. Tateno¹, G. Zhang¹

E-mail: sasaki.s@lab.ntt.co.jp

InGaAsなどのIII-V族半導体ナノワイヤは、高い易動度を有することから、次世代電子デバイスのn型チャンネル材料として昨今注目されている。電界効果トランジスタ(FET)において高い駆動電流と急峻なピンチオフ特性(小さなS値)を両立させるため、ナノワイヤチャンネルをゲート電極で完全に囲んだGate-all-around (GAA) 構造の研究が活発化しているが、チャンネル長を短くした極限ではS値の劣化を免れない(短チャンネル効果)。しかしながら、従来のシェル型ゲートに加えて、チューブ状にしたチャンネルの内側にもコアゲートを追加した2重ゲート型FETにおいては、短チャンネル効果が抑制されることが理論提案されている[1, 2]。今回我々は、InP/InAsコアシェルナノワイヤを用いて、初めてそのような2重ゲートFETデバイスを作製したので報告する。

チャンネル材料として用いたのは、VLS成長した直径100nm弱のInPコアの周りに、30nm程度のInAsシェルを成長させたコアシェルナノワイヤから、InPコアを選択エッチングで除去することによって得られたInAsナノチューブである。図1(a)は、Ti/Auリード線を予めパタニングしたSi/SiO₂基板上にInAsナノチューブを転写して、Ti/Alソース・ドレイン電極を形成した状態の模式図である。次に、原子層堆積法(ALD)によってゲート絶縁膜のAl₂O₃を6 nm、ゲート電極として導電性ZnOを20 nm続けて成膜した。ALDは対象の形状に沿って3次元的に均一の厚みで成膜できるのが特徴で、実際にAl₂O₃/ZnOゲートスタックがチューブの外側と同時に内側にも形成されていることが、TEM分析によって確認された。ナノチューブがリード線間に架橋していたため、外側に形成されたAl₂O₃/ZnOゲートスタックは従来型のGAA構造となる。図1(b)にゲートスタック形成後の模式図を示す。

図2は、作製したコア・シェル2重ゲートFETの室温における伝達特性である。チャンネル長は200 nm、チャンネル外径は110 nmである。特にオフ電流が抑制された結果、10⁵を上回るOn/Off比が得られている。これは、我々が以前報告したInAsナノワイヤGAA-FETにおける値[3]よりも一桁以上改善しており、コア・シェル2重ゲート構造の有用性を示唆している。なお、このデバイスはシェルゲートとコアゲートが未分離のもので、双方に同じゲート電圧が印加されているが、当日は両者を電氣的に分離したデバイスについても報告する。

[1] H. M. Fahad *et al.*, *Nano Lett.* **11**, 4393 (2011).

[2] H. M. Fahad and M. M. Hussain, *Sci. Rep.* **2**, 475

(2012).

[3] S. Sasaki *et al.*, *APL* **103**, 213502 (2013).

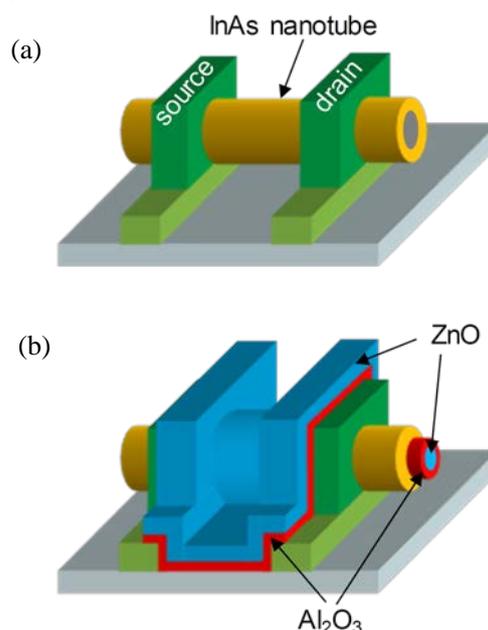


図1: (a)ソース・ドレイン電極を形成したナノチューブ、および (b)ALDで2重ゲートを形成したFET構造の模式図

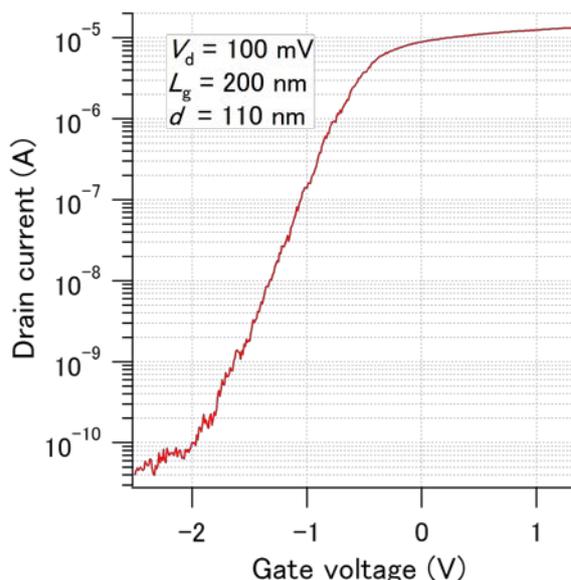


図2: コア・シェル2重ゲートFETの室温伝達特性