

# ALD-Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT における成膜後水素アニールの効果

Effects of post-deposition annealing in H<sub>2</sub> ambient on

ALD-Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMTs

名工大 ○久保 俊晴, 三好 実人, 江川 孝志

Nagoya Inst. of Tech. ○Toshiharu Kubo, Makoto Miyoshi, Takashi Egawa

E-mail: kubo.toshiharu@nitech.ac.jp

## 1. まえがき

GaN 系パワーデバイスを広く普及させるためには、ノーマリオフデバイスに使用できるゲート絶縁膜の作製が重要であることから、種々の絶縁膜を用いた研究開発が進められている。我々は、これまで主に絶縁膜として Al<sub>2</sub>O<sub>3</sub> に着目し、水とオゾンを用いた原子層堆積 (ALD) により、Si 基板上 Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT デバイスの作製を行い、その電気特性を報告してきた<sup>[1]</sup>。それらの MIS-HEMT では、Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面近傍の電子捕獲準位が少ないことが要求される。前回の報告では、材料のダングリングボンド等の欠陥を反映する不対電子を電子スピン共鳴(ESR)により評価し、AlGa<sub>N</sub> 上に ALD-Al<sub>2</sub>O<sub>3</sub> 膜を堆積することで不対電子数が減少することを報告した<sup>[2]</sup>。SiO<sub>2</sub>/Si 界面のダングリングボンドは水素アニールにより終端されることが知られているため、今回我々は、Al<sub>2</sub>O<sub>3</sub> 成膜後に水素アニール処理を行い、ALD-Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT のデバイス特性に及ぼす効果について評価を行った。

## 2. 実験方法

Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT 構造はこれまでの報告と同様にして作製した。ALD による成膜の際、成膜温度および膜厚をそれぞれ 300°C、20 nm とした。その後、水素雰囲気中 (H<sub>2</sub>:N<sub>2</sub>=1:9) で 1 分間、温度を 500、600、700°C とし成膜後アニール(PDA)を行い、MIS-diode および MIS-HEMT を作製し、そのデバイス特性を評価した。

## 3. 結果

MIS-diode に対し、光支援 C-V 法およびコンダクタンス法によって ALD-Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面近傍の電子捕獲準位密度( $D_t$ )を評価した結果を Fig. 1 に示す。伝導帯端( $E_c$ )から -2 ~ -3 eV の深い準位において、 $D_t$  はおよそ  $2 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$  という低い値であった。また、その PDA 温度依存性は、500°C でのアニールでは  $D_t$  が下がる

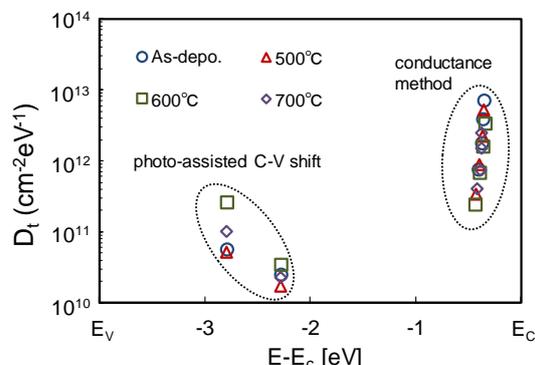


Fig. 1 Trap state density ( $D_t$ ) around ALD-Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> interfaces.

傾向があるのに対し、600°C および 700°C では  $D_t$  は増大する傾向にあった。これは Al<sub>2</sub>O<sub>3</sub> 膜の微結晶化と関係していることが考えられる。次に MIS-HEMT の動的な閾値シフト ( $\Delta V_{th}$ ) およびゲートリーク電流 ( $I_g$ ) を評価した結果を Fig. 2 に示す。Fig. 2 において、700°C で  $\Delta V_{th}$  は 0.5 V まで下がり、 $I_g$  は  $1 \times 10^{-6} \text{ mA/mm}$  と比較的低い値を示した。一方で閾値電圧の値は 2 V 程度負側へシフトしたため、プロセスの更なる改善が必要である。

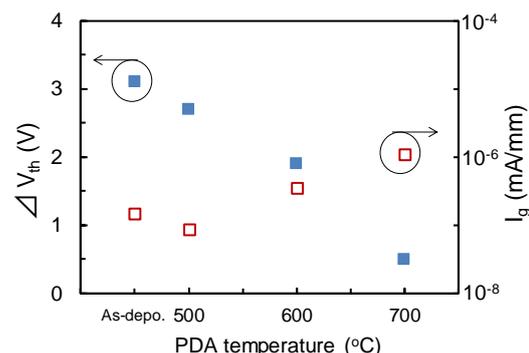


Fig. 2 Dependences of the dynamic threshold voltage shift ( $\Delta V_{th}$ ) and the gate leakage current ( $I_g$ ) on the PDA temperature.

## 参考文献

- [1] T. Kubo et al., Semicond. Sci. Technol. 32 065012.
- [2] 久保 他: 第 78 回応用物理学会秋季学術講演会, 6p-PA8-5.

謝辞

本研究の一部は、NEDO の委託により実施された。