

ガラス基板上の自己整合 4 端子 Cu-MIC poly-Ge_{1-x}Sn_x TFT の開発

4T Self-Aligned Cu-MIC Poly-Ge_{1-x}Sn_x TFTs on Glass Substrates

東北学院大工 °宮崎 僚, 西口 尚希, 内海 大樹, 原 明人

Tohoku Gakuin Univ., °Ryo Miyazaki, Naoki Nisiguchi, Hiroki Utumi, Akito Hara

E-mail: akito@mail.tohoku-gakuin.ac.jp

【はじめに】次世代の半導体材料としてゲルマニウム(Ge)が注目されている。これにスズ(Sn)を含めたゲルマニウムスズ(Ge_{1-x}Sn_x)は、Geより低温で結晶化できることが知られている。更に Sn の濃度が 7% 以上の場合、直接遷移型半導体になるとことが知られており、光デバイスとの集積化が期待されている。我々は Ge_{1-x}Sn_x (x=0.02, 0.07)を用いたダブルゲート(DG)構造の薄膜トランジスタ(TFT)の開発をしている¹⁻³⁾。しかし、DG 構造の特性を向上させるためには、トップゲート(TG)動作、ボトムゲート(BG)動作での特性を調べる必要がある。そこで、4 端子(4T) poly-Ge_{1-x}Sn_x TFT を作成し、TG 動作・BG 動作での特性を調べた。

【実験】半導体層に用いている poly-Ge_{1-x}Sn_x (Sn = 7%)は、非晶質 Ge_{0.93}Sn_{0.07}/銅(Cu)/非晶質 Ge_{0.93}Sn_{0.07} の三層をスパッタリングによって形成し、Cu による 500°C・10 h での金属誘起固相成長(metal induced crystallization: Cu-MIC)によって成長した。ここで Cu を用いた理由は、安価で、元素交換による層交換を生じない金属触媒であるからである³⁾。なお、この 500°C というのは本プロセスにおける最高温度である。またプロセス最後に、電極 Al と Ge_{1-x}Sn_x の元素置換によるソース・ドレイン領域(SD)の Al 化によって aluminum induced lateral metallization source drain (Al-LM-SD)を形成して、SD の寄生抵抗を低減させた。なお Cu の除去処理(CMP やエッチング)は行っていない。上下のゲートスタックは、共に 30 nm の SiO₂ とモリブデン(Mo)から構成されている。また、poly-Ge_{1-x}Sn_x (Sn = 7%)の厚さは約 15 nm である。

【結果】図 1 に TFT の写真を示す。図 2 にデバイスのトランスファ特性を示す。(a)は BG を制御ゲート、TG を駆動ゲートとした場合の特性である。(b)は TG を制御ゲート、BG を駆動ゲートとした特性である。制御ゲートは-3.0 V から 3.0 V まで、0.5 V ステップで変化させている。赤実線は DG 駆動での特性であり、on/off 比は約 1300 である。また、DG 動作時の g_m から求めた(見かけ)移動度は 23 cm²/Vs である。図 3 は、TG および BG 駆動時の制御ゲートに加えた電圧(V_{CG})による閾値電圧(V_{th})の変化を表している。この結果より γ 値(= |V_{th} / V_{CG}|)を導出すると、TG 駆動において γ = 0.83、BG 駆動において γ = 0.49 となった。

【考察】300°C プロセスで形成し、今回と同一のゲートスタックを有する 4T Cu-MIC poly-Ge TFT では、TG 駆動において γ = 0.30、BG 駆動において γ = 3.0 であり、10 倍の差を示した⁴⁾。この大きな特性の差は、上下ゲートスタックの半導体/SiO₂ 界面の品質の差と結論された⁴⁾。500°C プロセスにすることにより、 γ 値の差が約 2 倍に縮小されたことから、上下の半導体/SiO₂ 界面の品質の差が小さくなったと理解できる。

【まとめ】500°C プロセスで作成した 4T Cu-MIC poly-Ge_{1-x}Sn_x (Sn=7%) TFT を作成し、4 端子特性を調べた。その結果、TG と BG の半導体/SiO₂ 界面の品質の差を小さくすることが可能になった。

【謝辞】本研究は科学研究費基盤(C)16K06311 と池谷科学技術振興財団によって支援されている。

【参考文献】1) N. Nishiguchi et al., Proc. of IDW 2017, 482 (2017). 2) 西口 その他, IEICE Technical Report EID2017-24, SDM2017-85, p.67 (2017). 3) 西口 その他, 本学会発表 4) H. Utsumi et al., Tech. Dig. of AM-FPD, p.201 (2017).

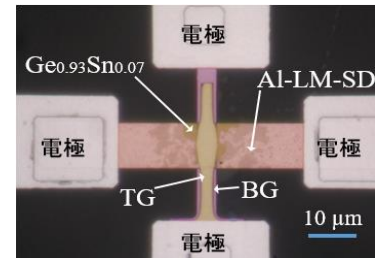


図 1. 作製した TFT の写真

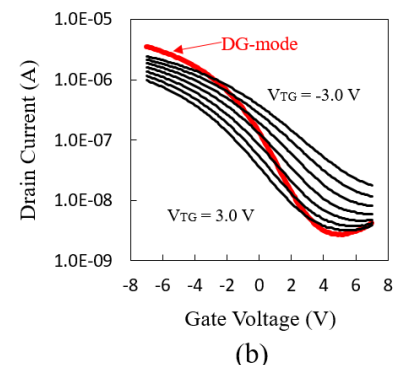
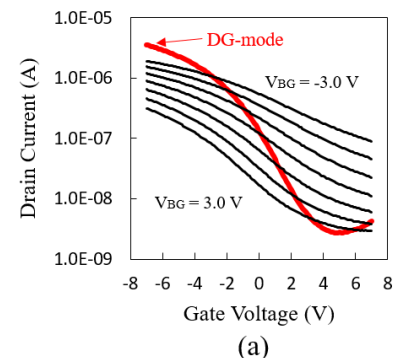


図 2. トランスファ特性

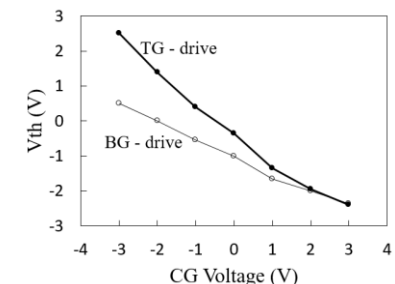


図 3. V_{th} の V_{CG} 依存性