

スパッタエピタキシー法を用いた完全圧縮歪 SiGe 薄膜形成技術

Completely compressively strained SiGe thin film formation technique using Sputter Epitaxy Method

東京農工大院工¹, 情報通信研究機構²°青柳耀介¹, 本橋叡¹, 出蔵恭平¹, 大久保克己¹, 広瀬信光², 笠松章史², 松井敏明², 塚本貴広¹, 須田良幸¹Tokyo Univ. of Agric. & Technol.¹, National Inst. of Information and Communications Technol.²°Y. Aoyagi¹, A. Motohashi¹, K. Degura, K. Okubo¹, N. Hirose², A. Kasamatsu², T. Matsui², T. Tsukamoto¹, and Y. Suda¹

E-mail: sudayos@cc.tuat.ac.jp

【はじめに】

近年、デバイスの高速化の手法として、ヘテロ構造を利用した研究が盛んである。その中でも、Si/SiGe ヘテロ構造を用いたデバイスは可採埋蔵量の多い Si 系材料を原料としており、環境負荷の少ない材料という点からも期待されている。本研究では、資源利用効率が高く環境軽負荷であるスパッタエピタキシー法^[1]を用いて、無歪 Si 上に Ge 組成比や膜厚を変化させた圧縮歪 SiGe を形成した試料を作製し評価することで、Si 基板上に SiGe 層が歪緩和せず完全圧縮歪でエピタキシャル成長できる Ge 組成比および膜厚の探索を行った。その実験内容と結果について報告する。

【実験方法と結果】

当研究室の初期研究で得られた^[2], Si 基板上に格子整合する SiGe 層を形成するための条件である、成膜温度 400 °C, スパッタガス圧 3.5 mTorr を用いて、Ge 組成比 x を変化させた膜厚 50, 120, 280 nm の $\text{Si}_{1-x}\text{Ge}_x$ 層をスパッタエピタキシー法にて p-Si(100)基板上に作製し (Fig.1), X 線回折装置 (XRD) を用いて $\text{Si}_{1-x}\text{Ge}_x$ 層の格子不整合率を測定することで、完全圧縮歪成長する SiGe 層の組成と厚みの関係を評価した。また、原子間力顕微鏡 (AFM), 透過電子顕微鏡 (TEM) を用いて SiGe 層の平坦性や結晶状態を評価した。

各膜厚における格子不整合率と Ge 組成比の関係を Fig. 2 に示す。CVD (化学気相堆積) 法で Si 基板上に作製した SiGe 薄膜は、膜厚 74 nm のとき Ge 組成比 0.16 以下でないと完全圧縮歪成長しないことが報告されており^[3], CVD 法よりも低温で成膜可能な本スパッタ法は、より高い Ge 組成比の完全圧縮歪成長 SiGe 薄膜を作製することが可能であると考えられる。

次に、更に高い Ge 組成比の完全圧縮歪成長 SiGe 薄膜が作製可能であるかを探るため、Ge 組成比 0.50 の SiGe 薄膜の臨界膜厚の探索を行った。その結果、Ge 組成比 0.51, 膜厚 24 nm の SiGe 薄膜の完全圧縮歪成長が確認できた (Fig. 3)。以上の結果より、本スパッタ法を用いることで CVD 法より膜厚の厚い完全圧縮歪成長 SiGe 層を形成することが出来るため、デバイスの構造上の Ge 組成比の適合範囲を広げることができ、デバイスの特性向上に寄与すると期待される。

【謝辞】 この研究の一部は、情報通信研究機構先端 ICT デバイスラボで実施された。

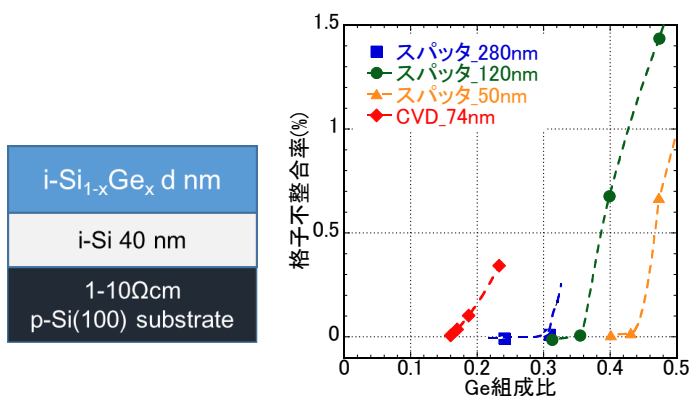


Fig. 1. 試料構造.

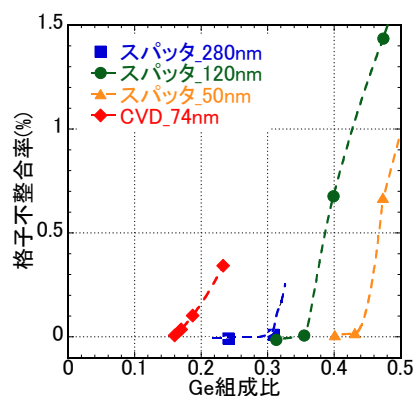


Fig. 2. 各膜厚における格子不整合率の Ge 組成比依存性

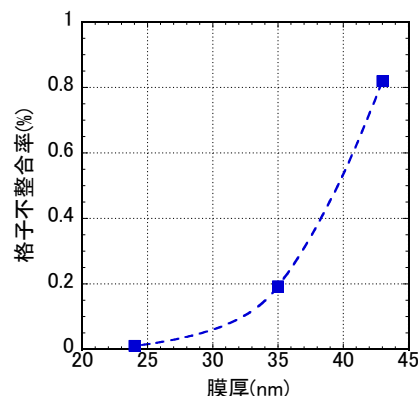


Fig. 3. Ge 組成比 0.5 における格子不整合率の膜厚依存性

【参考文献】

[1] 須田, 登録特許 4910124 号 (2012). [2] 本橋叡, 東京農工大学修士学位論文(2016)

[3] 新川ら, 14a-PB4-2, 第 76 回応用物理学会学術講演会 (名古屋, 2015).