

スパッタエピタキシー法で形成した SiGe 埋め込みチャンネル型

p-MOSFET の特性制御

Characteristic control buried-SiGe-channel p-MOSFET formed by sputter epitaxy

○八木 拓馬¹, 塚本 貴広¹, 広瀬 信光², 笠松 章史², 松井 敏明², 須田 良幸¹

(1: 東京農工大 院工, 2: 情報通信研究機構)

○T. Yagi¹, T. Tsukamoto¹, N. Hirose², A. Kasamatsu², T. Matsui², and Y. Suda¹

(1: Tokyo Univ. of Agric. & Technol., 2: National Inst. of Inf. and Commun. Technol.,)

E-mail: sudayos@cc.tuat.ac.jp

1. はじめに

半導体デバイスの高速化に関して, Si/Si_{1-x}Ge_x ヘテロ構造を用いてキャリア移動度の向上を図る研究開発が進展している. 我々はこれまでに, Si/Si_{1-x}Ge_x 系多層膜成長方法として環境軽負荷型のスパッタエピタキシー法を開発して, Si/Si_{1-x}Ge_x ヘテロ構造を作製し, 化学気相成長 (CVD) 法やガスソース分子線エピタキシー (GSMBE) 法と比較しても遜色のない高い結晶性が得られる結晶成長を実現した[1-3]. 今回, 本スパッタエピタキシー法を用いて, 埋め込みチャンネル型 p-MOSFET を作製し, Ge 組成比に伴う FET 特性の変化を取得した.

2. 実験内容・結果

n 型 Si(100)基板上に, 我々が開発した超高真空対応マグネトロンスパッタ装置[1]を用いて, バッファ i-Si 層 30nm, チャンネル圧縮歪 p-Si_{1-x}Ge_x 層 30 nm, キャップ i-Si 層 40 nm を成膜温度 520°C で成膜し, ゲート絶縁膜 SiO₂ 10 nm をリアクティブスパッタ法にて成膜温度 300°C で成膜し, フォトリソグラフィ工程によってゲート長 8 μm の埋め込みチャンネル型 p-MOSFET (Fig. 1)を素子化した. チャンネル圧縮歪 p-Si_{1-x}Ge_x 層の Ge 組成比はそれぞれ 24, 27, 29 %として作製した. また, ゲート電極として Ni を, ソース・ドレイン電極として Au をそれぞれ堆積した. 作製した素子のドレイン I-V 測定結果の一例 (Ge 組成比 27 %) を Fig.2 に示す. また, それぞれの試料から取得した相互コンダクタンス (g_m) を Fig.3 に示す.

本 FET の素子化の結果, すべての試料でドレイン電流の飽和特性, ゲート電圧による電流の制御性を取得し, FET 特性を実現した. また, チャンネル圧縮歪 p-Si_{1-x}Ge_x 層の Ge 組成比の増加に伴い, 飽和電流値および g_m は増大する傾向を取得した. これは, Ge 組成比の増加に伴い p-Si_{1-x}Ge_x 層の移動度が向上し, 電流値および g_m が増大したと考えられる.

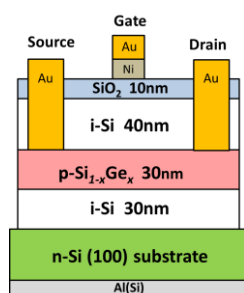


Fig.1. 本 FET の素子構造

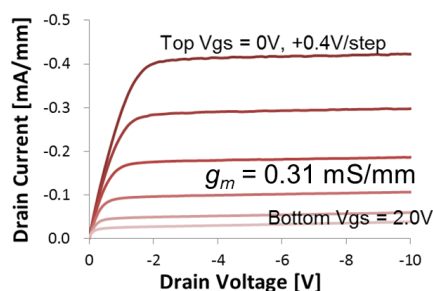


Fig.2. ドレイン I-V 特性 (Ge 組成比 24%)

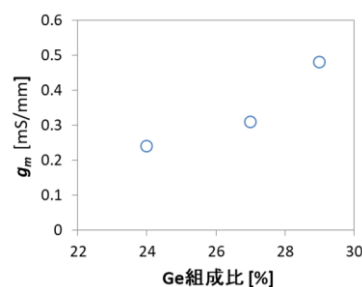


Fig.3. Ge 組成比と g_m の関係

[1] 須田, 特許 4910124 (2012).

[2] H. Hanafusa, N. Hirose, A. Kasamatsu, T. Mimura, T. Matsui, H. M. H. chong, H. Mizuta, and Y. Suda, Appl. Phys. Express 4, 025701 (2011).

[3] J. Kubota, A. Hashimoto and Y. Suda, Thin Solid Films, 508, 203 (2006).