

3D NAND フラッシュメモリの製造技術を用いた積層型論理回路設計法

Study of stacked type logic LSI with fabrication technology of 3D NAND flash memory.

湘南工科大工, [○](B) 鈴木 章矢, 渡辺 重佳Shonan Institute of technology, Information Science., [○]Fumiya Suzuki, Shigeyoshi WatanabeE-mail: 14a3079@sit.shonan-it.ac.jp

1. はじめに

近年、DRAM の高速性能とフラッシュメモリの低コスト不揮発特性を併せ持つ新型メモリの研究が盛んである。本論文では、従来の積層型論理回路について、新しいデバイス設計法の提案を行った。

2. 新たに提案したデバイス設計法の回路図

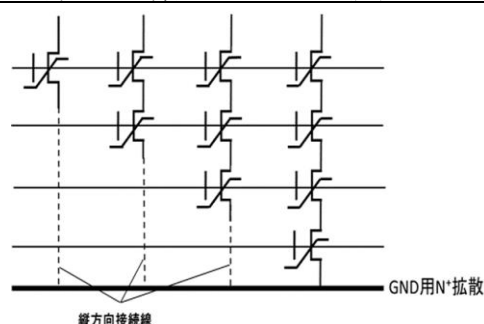


Fig.1 Vertical connection method by the low-resistance poly-silicon

本論文で提案する新しいデバイス方式（低抵抗ポリシリコンによる縦方向接続方式）の概念図を図1に示す。図1では、1本のみGNDのN⁺拡散が1番下に走っている。すべての回路が最下方にあるGNDのN⁺拡散に接続するため、縦方向接続線をGNDのN⁺拡散につなげることで実現している。

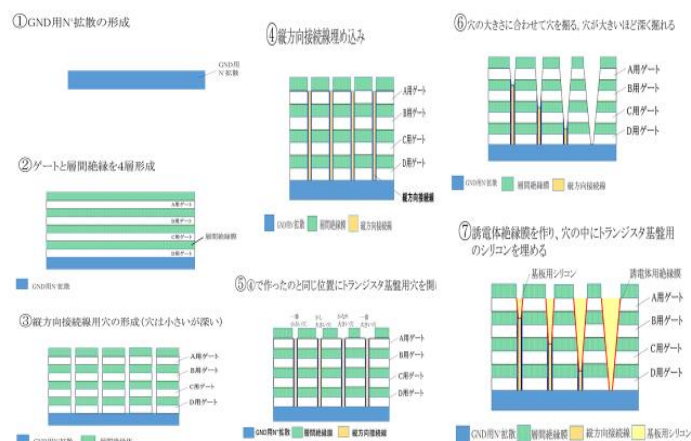


Fig.2 Vertical connection method by the low-resistance poly-silicon manufacturing process

図2に低抵抗ポリシリコンによる縦方向接続方式の製造プロセスを示す。可変トレンチ深さ実現プロセスは異なるトレンチ径を用いて実現される。

3. 可変トレンチ深さ実現プロセス

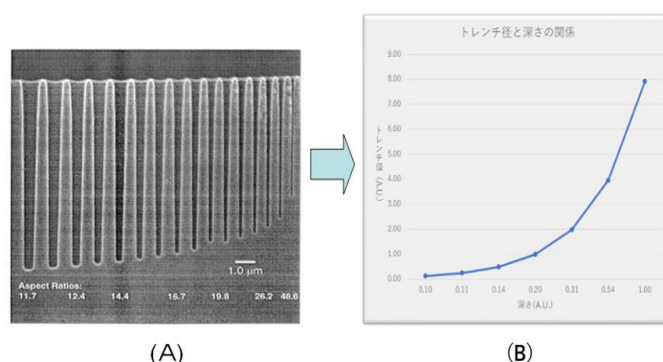


Fig.3 Variable trench depth realization process

図3に可変トレンチ深さ実現プロセスを示す。(A)は、トレンチの断面図であり、(B)はトレンチ径と深さの関係を表した図である。トレンチ径が大きいほど掘れる深さを深くすることにより、この可変トレンチ深さ形成は実現できる。

4. むすび

積層型 NAND/NAND 構造に適した積層型論理回路設計法を提案し、その設計法と製造方法について提案した。新たに提案した方式を使うことにより、消費電力と遅延時間を低減できることがわかった。

参考文献

横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討.” 電子情報通信学会論文誌 C