

スパッタエピタキシー法を用いた Si/SiGe 高正孔移動度トランジスタ Si/SiGe High-Hole-Mobility-Transistor formed by Sputter Epitaxy

野崎 翔太¹, 塚本 貴広¹, 広瀬 信光², 笠松 章史², 松井 敏明², 須田 良幸¹

(1: 東京農工大 院工, 2: 情報通信研究機構)

°S. Nozaki¹, T. Tsukamoto¹, N. Hirose², A. Kasamatsu², T. Matsui², and Y. Suda¹

(1: Tokyo Univ. of Agric. & Technol., 2: National Institute of Information and Communications Technology.)

E-mail: sudayos@cc.tuat.ac.jp

1. はじめに

半導体デバイスの性能向上のために微細化に代わる新しい方法の 1 つとして、キャリア移動度の向上を図る研究が進展している。中でも、Si/Si_{1-x}Ge_x ヘテロ構造を用いたデバイスが次世代の Si 高速デバイスとして研究開発が盛んに行われている。我々はこれまでに、Si/Si_{1-x}Ge_x 系多層膜成長方法として環境軽負荷で安全性の高いスパッタエピタキシー法を開発し、Si/Si_{1-x}Ge_x ヘテロ構造を作製し、ガスソース分子線エピタキシー (GSMBE) 法と比較し、同等な高品質結晶が得られることを報告している^[1-3]。今回、本スパッタエピタキシー法を用いて Si/Si_{1-x}Ge_x 系高正孔移動度トランジスタ(High Hole Mobility Transistor : HHMT)を作製した。

2. 実験

n 型 Si 基板(100)上に、我々が開発した超高真空対応マグネトロンスパッタ装置^[1]を用いて、Si、Si_{1-x}Ge_x、SiO₂ を成膜し、フォトリソグラフィ工程によって HHMT を素子化した(Fig. 1)。ゲート電極に Ni、ソース・ドレイン電極に Au をそれぞれ堆積させた。作製した素子の I-V 測定を行った。また、本 HHMT のキャリア供給層である p-Si 中の活性化したボロン(B)ドーパ量のみを変化させた素子と本 HHMT のチャンネル層である圧縮歪 i-Si_{1-x}Ge_x の Ge 組成比のみを格子整合の範囲内で変化させた素子を作製し特性の比較を行った。

3. 実験結果

本 HHMT 素子化の結果、ドレイン電流の飽和特性、ゲート電圧による電流の制御性を確認し、スパッタエピタキシー法を用いて作製した SiGe 系 HHMT で初めて FET 特性の実現に成功した(Fig. 2)。また、本 HHMT のキャリア供給層である p-Si 中の活性化した B ドープ量の増加に伴い、相互コンダクタンス(g_m)が増加し制御性が向上した。さらに、本 HHMT のチャンネル層である圧縮歪 i-Si_{1-x}Ge_x の Ge 組成比を格子整合の範囲内で増加させることで、制御性(g_m)が向上する傾向を取得し、更なる特性向上に向けた設計指針が得られた。これにより、Si 高速デバイスの開発において、スパッタエピタキシー技術が有用であると期待される。

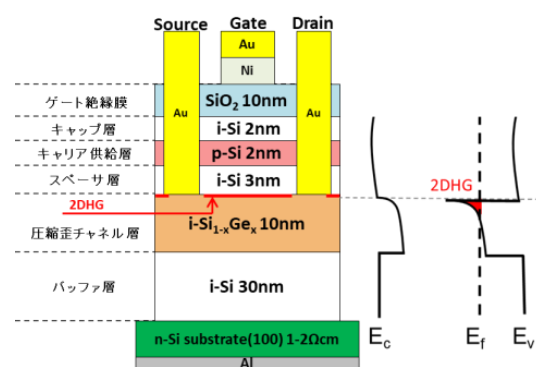


Fig. 1 本 HHMT の素子構造とバンド図

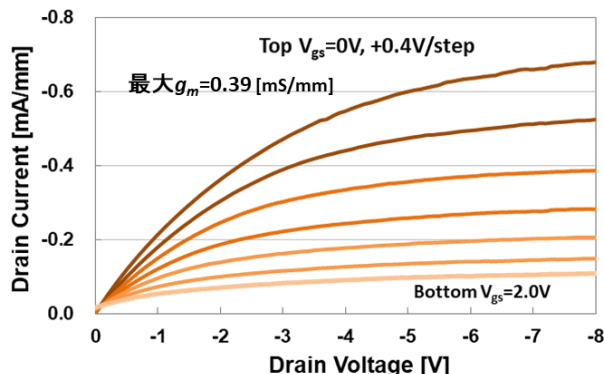


Fig. 2 B 濃度 $6.7 \times 10^{19} \text{ cm}^{-3}$, Ge 組成比 0.25 としたときの I-V 特性

[1] 須田, 特許 4910124 (2012).

[2] H. Hanafusa, N. Hirose, A. Kasamatsu, T. Mimura, T. Matsui, H. M. H. chong, H. Mizuta, and Y. Suda, Appl. Phys. Express **4**, 025701 (2011).

[3] J. Kubota, A. Hashimoto and Y. Suda, Thin Solid Films, **508**, 203 (2006).