3D-NAND 型フラッシュメモリにおける横方向への 電荷移動抑制による高信頼化技術 High Reliability Techniques of 3D-NAND Flash Memories by Lateral Charge Migration Suppression 中央大理工, ⁰溝口 恭史, 小滝 翔平, 出口 慶明, 竹内 健 Chuo Univ., [°]Kyoji Mizoguchi, Shohei Kotaki, Yoshiaki Deguchi and Ken Takeuchi Email: mizoguchi@takeuchi-lab.org

1. はじめに

NAND 型フラッシュメモリは微細化の限界により, 製造コストが高騰している。その問題を解決す るために, メモリセルを垂直方向に積層した 3 次元(3D)NAND 型フラッシュメモリが開発された。し かし, 図1に示すように, 電荷捕獲方式の 3D NAND 型フラッシュメモリではワード線(WL)が電荷捕獲 層を共有している。そのため, 横方向への電界が発生することにより, 電荷移動が発生し, データ保持 特性が悪化する[1]。本論文では, 横方向への電荷移動を抑制する技術である V_{TH} Nearing(VN)を提案す る[2]。

2. 横方向への電荷移動による VTH 変動

3D-TLC(3bits/cell) NAND 型フラッシュメモリの横方向の電荷移動を評価するために,対象のセル (WL(n))が隣接セル(WL(n-1), WL(n+1))と等しいしきい値電圧(V_{TH})状態のデータパターンをソリッドパ ターン,対象のセルが隣接セルと異なる V_{TH} 状態のデータパターンを行ストライプパターンと定義し た(図 2)。ソリッドパターンでは,WL 間の電界が小さいため,横方向の電荷移動が少なく,V_{TH}減少が小 さい(図 3 (a))。一方,行ストライプパターンの場合,WL 間に発生する電界により横方向の電荷移動が 発生するため,V_{TH}が大きく減少し,データ保持特性が悪化する(図 3 (b))。

3. VTH Nearing

図4に提案のVNによる横方向への電荷移動抑制方法を示す。例えば、図4のように、対象のセル (WL(n))が"P7"状態の際に、隣接セル(WL(n+1))が"P7"状態に近づくように SSD コントローラー内でデ ータを変調する。変調はセルに記録された状態を、WL 方向ヘシフトすることにより実現する。

図 5 に提案の VN による変調結果を示す。提案の VN によりランダムデータと比べて、"P7"状態のソ リッドパターンを 1.9 倍増加させ、行ストライプパターンを 27%削減させることができた。図 6 にラン ダムデータと提案の VN の実測のビット誤り率(BER)を示す。提案の VN により、書き換え回数 1 回の 場合、BER を 40%削減し、データを保持できる時間を 2.8 倍増加させることができた。

<u>3. 結論</u>

本論文では、横方向への電荷移動による V_{TH}変動を解析し、横方向への電荷移動を抑制することによりデータ保持特性を向上させる VN を提案した。提案の VN により横方向への電荷移動を抑制することで、BER を 40%削減し、データを保持できる時間を 2.8 倍に増加させることができた。

<u>謝辞</u>

