

階層型ストレージの SSD キャッシュ向け 多元ハフマン符号を用いた非対称エラー削減手法

NAND Flash-based Solid-State Drive (SSD) Cache with Asymmetric Error Reduction Huffman Coding for Tiered Hierarchical Storage

○渡邊 光、出口 慶明、竹内健 (中央大理工)

○Hikaru Watanabe, Yoshiaki Deguchi and Ken Takeuchi (Chuo University)

E-mail: watanabe@takeuchi-lab.org

1. はじめに

一般的に、Multi-Level Cell (MLC) NAND 型フラッシュメモリ (2bit/cell) は大容量かつ高信頼のため、メインストレージとして使用されている。一方、Single-Level Cell (SLC) NAND 型フラッシュメモリ (1bit/cell) は MLC NAND 型フラッシュメモリより低容量だが高信頼のため SSD キャッシュとして使用されている。本論文では、MLC NAND 型フラッシュメモリを SSD キャッシュとして利用するために、すでに提案されているハフマン符号 [1] を応用した Triple-Level Cell (TLC) NAND 型フラッシュメモリ向けのデータ圧縮技術と高信頼化手法 [2] を MLC NAND 型フラッシュメモリに適応させた Asymmetric Error Reduction Huffman Coding (AERH) - MLC/3LC を提案する [3] (図 1)。

2. MLC NAND 型フラッシュメモリのデータ保持エラー

MLC NAND 型フラッシュメモリでは、Erase, A, B, C と呼ばれる 4 つのしきい値電圧状態を制御しデータを保存する。図 2 の実測より、データ保持時に発生するデータ保持エラーは B 状態が最も多くなることがわかる。この原因を図 3 に示す。読み出し電圧 (V_{REF}) の数が Upper page は 2 本、Lower page は 1 本存在しており Lower page に比べて Upper page の信頼性が悪い。そこで各 page の信頼性を等しくするため A 状態と B 状態の読み出しマージンを意図的に狭くしている可能性がある。その結果、B 状態のエラーが一番多くなったと考えられる。

3. AERH-MLC/3LC

AERH-MLC/3LC の概要を図 4 に示す。AERH-MLC は 3 ステップによって達成される。①生データにおいて 8bit 単位の出現頻度を求める。②ハフマン符号の圧縮過程において作成されるハフマン木の枝の数を 4 本で作成する。③各枝に直接 NAND 型フラッシュメモリのしきい値電圧状態を割り当てる。具体的に、枝として接続する 4 つのデータを発生頻度順に並べ替え、発生頻度が高い枝に対して信頼性が高いしきい値電圧状態 (Erase 状態) を割り当てる。一方、発生頻度が低い枝に対しては信頼性が低いしきい値電圧状態 (B 状態) を割り当てる。このプロセスを繰り返すことでハフマン木が完成しデータ圧縮と高信頼化が同時に実現される。

更に信頼性向上を図るため、AERH-3LC を提案する。AERH-3LC はハフマン木の枝を 3 本にし、最も信頼性が悪かった B 状態を割り当てないことで更に信頼性が向上する手法である。B 状態を割り当てないことで A 状態と C 状態の読み出しマージンが広くなり、C 状態の信頼性が向上する。

4. 実測結果

図 5 にデータベースファイルに AERH-MLC/3LC を用いた際のデータ保持エラーと NAND 型フラッシュメモリに保存するために必要なメモリセル数の実測結果を示す。AERH-MLC/3LC はデータベースファイルのデータ保持エラーをそれぞれ 55.8%、82.6%、NAND 型フラッシュメモリに保存するために必要なメモリセル数をそれぞれ 65.7%、59.7%削減できた。

5. 結論

本論文では、階層型ストレージの SSD キャッシュ向けにデータ圧縮と高信頼化を可能にする AERH-MLC/3LC を提案した。

謝辞

本研究は JST/CREST (グラント番号 JPMJCR1532) の助成により行われた。

参考文献

- [1] D. A. Huffman, *Proc. I.R.E.*, pp. 1098-1102, Sep. 1952.
- [2] Y. Deguchi *et al.*, *VLSI Tech.*, pp. 206-207, June. 2017.
- [3] H. Watanabe, *et al.*, *ASSCC.*, pp. 157-160, Nov. 2017.

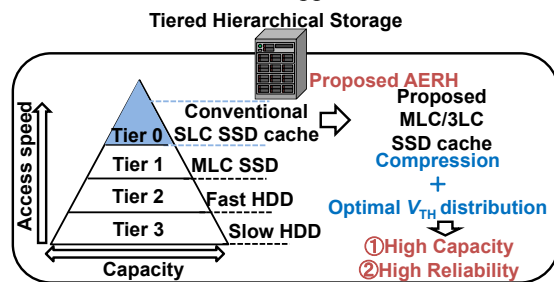


図 1 本論文のコンセプト

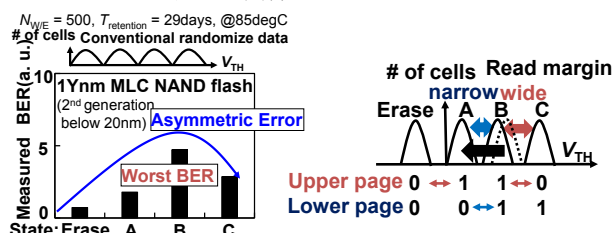


図 2 データ保持エラー 図 3 B 状態のエラーの原因

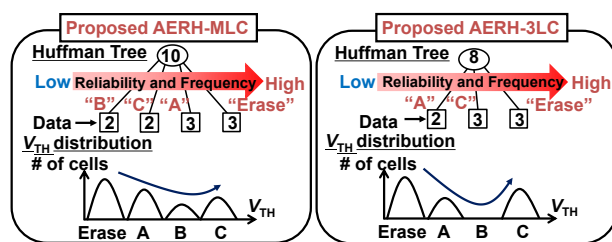
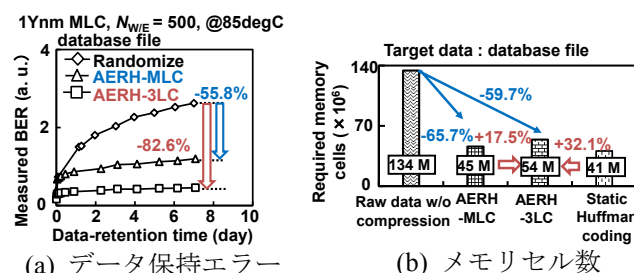


図 4 AERH-MLC/3LC



(a) データ保持エラー

(b) メモリセル数

図 5 実測結果