

スパッタエピタキシー法による SiGeHEMT の低温成膜プロセスの静特性評価

Static characteristic evaluation of low-temperature deposition process for SiGeHEMT by Sputter Epitaxy Method

東京農工大院工¹, 情報通信研究機構², °大久保克己¹, 青柳耀介¹, 本橋 聡¹,出蔵恭平¹, 広瀬信光², 笠松章史², 松井敏明², 塚本貴広¹, 須田良幸¹Tokyo Univ. of Agric. & Technol.¹, National Inst. of Information and Communications Technol.², °K. Okubo¹,Y. Aoyagi¹, A. Motohashi¹, K. Degura¹, N. Hirose², A. Kasamatsu², T. Matsui², T. Tsukamoto¹, and Y. Suda¹

E-mail: sudayos@cc.tuat.ac.jp

【はじめに】我々はこれまでに、歪 Si チャネルを用いたショットキーゲート型 SiGe HEMT(High Electron Mobility Transistor)の作製を目標とし、環境軽負荷型のスパッタエピタキシー法^[1]を用いた歪緩和 4 層 SiGe バッファを提案し^{[2][3]}, 化学気相成長法などと比較して良好な結晶特性を実現している^[4]. 今回は、バッファ層の良好な緩和特性と、電子供給層の低温成膜によるドーパントの拡散抑制を両立可能な成膜プロセス^[5]を用いて作製した SiGeHEMT の静特性の測定結果および評価について報告する.

【実験方法】提案した HEMT の素子構造を図 1 に示す. 本 SiGe HEMT は、基本的に n-SiGe キャリア供給層とノンドーパの i-Si 歪チャネル層から成る. スパッタエピタキシー法を用いて、歪緩和 4 層 SiGe バッファを最適成膜温度である 600°C^[3]で成膜した後、4 層バッファに完全整合する Ge 組成比の 5 層目の SiGe を成膜し、その間に基板温度を 410°C まで下げて以降の層を成膜した. その後、Si と SiGe のエッチング速度比を利用し、SiGe をエッチングストップとして、ゲートリセス構造を形成する手法により素子化を行った.

【結果と考察】図 2 に、本研究で作成した SiGeHEMT の $I_{DS} - V_{DS}$ 特性の測定結果を示す. これより、ゲート電圧の印加によるドレイン電流の制御性が得られるデプレッション型の FET の静特性を確認できる. これは、ゲートの印加電圧を負方向に大きくしていくことにより空乏層幅が広がり、チャネルの断面積が小さくなることでドレイン電流が減少する、FET の基本動作に則した結果となった. また、 $V_{gs} = 0.4V$ のとき相互コンダクタンス $g_m = 24 \text{ mS/mm}$ を取得した.

【謝辞】この研究の一部は、情報通信研究機構先端 ICT デバイスラボで実施された.

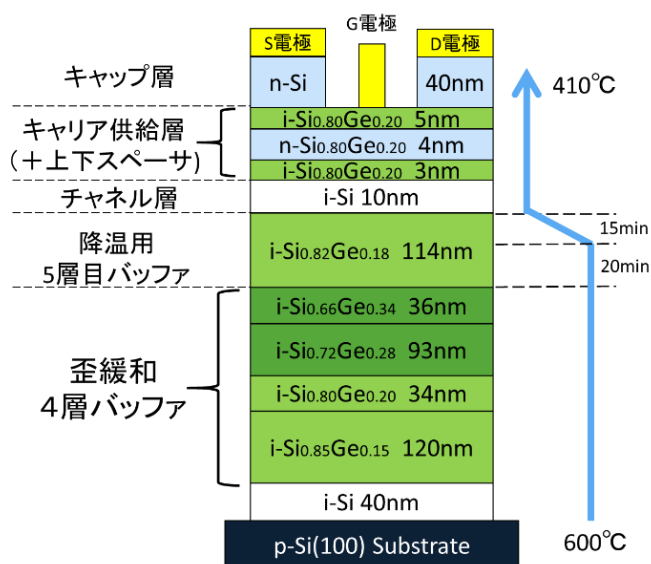
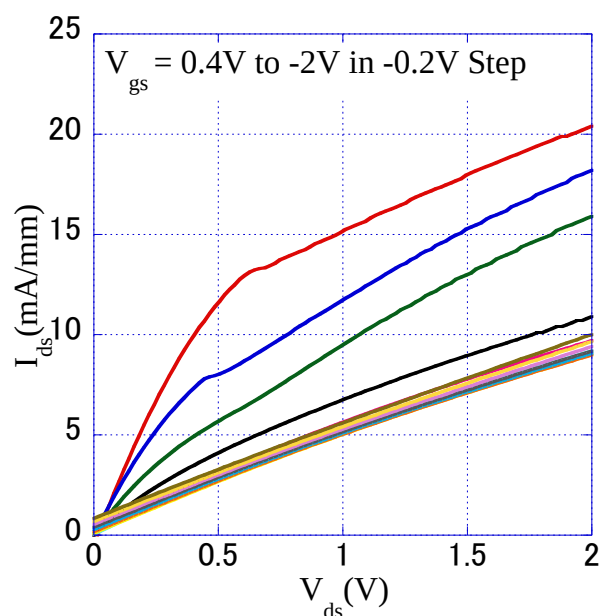


図 1 素子構造模式図

図 2 SiGeHEMT の $I_{DS} - V_{DS}$ 特性

- [1] H. Hanafusa *et al.*, *Jpn. J. Appl. Phys.*, **47** (2008) 3020. [2] H. Maekawa *et al.*, *J. Cryst. Growth*, **301/302** (2007) 1017. [3] 出蔵ら, 15p-P11-10, 第 77 回応用物理学会学術講演会 (新潟, 2016) [4] H. Hanafusa *et al.*, *Appl. Phys. Express*, **4** (2011) 025701. [5] 大久保ら, 15p-P7-5, 第 66 回応用物理学会春季学術講演会 (横浜, 2017)