

Zn 拡散ソース InGaAs TFET における W/ZrO₂/Al₂O₃ ゲートスタックの効果Effects of W/ZrO₂/Al₂O₃ gate stack on the performance of InGaAs TFET with Zn-diffused source

東京大学・院工

°安大煥, 尹尚希, 竹中充, 高木信一

The University of Tokyo, School of engineering

°D.-H. Ahn, S.-H. Yoon, M. Takenaka and S. Takagi

E-mail: daehwan23@mosfet.t.u-tokyo.ac.jp

【はじめに】TFET(Tunnel Filed Effect Transistor)は、サブスレショルド領域において、MOSFET の限界である 60 mV/dec より急峻な S.S.値が実現できるため、次世代低消費電力トランジスタとして注目を集めている[1]。III-V 化合物半導体の In_{0.53}Ga_{0.47}As はバンドギャップが狭く、直接遷移型半導体であるためにバンド間トンネル電流が高く、TFET のチャネル材料として非常に有望である[1-2]。この In_{0.53}Ga_{0.47}As に Zn-doped Spin on Glass (Zn SOG)を用いて Zn 拡散を施すと 3.5 nm/dec といった非常に急峻な濃度分布勾配が得られ、シャープなトンネル接合を実現することが可能となる[2]。我々は Zn 拡散ソース InGaAs TFET に In_{0.53}Ga_{0.47}As/In_xGa_{1-x}As (x>0.53)/In_{0.53}Ga_{0.47}As 量子井戸構造と W/HfO₂/Al₂O₃(CET=1.4 nm)を導入することで、In_{0.53}Ga_{0.47}As TFET より高い I_{on} と 54mV/dec の S.S_{min}を得た[3-4]。TFET の性能はゲート電圧制御性に非常に敏感であることがよく知られている。本研究では、HfO₂ より誘電率の高い ZrO₂ を用いたゲートスタックが InGaAs TFET の電気特性にどのような影響を与えるかを調べる。

【研究内容】極薄膜 EOT を実現するためには、薄膜の絶縁膜を直接通り抜けるゲートリーク電流を効果的に抑えることが重要である。Fig. 1 に見られるように、1.7 nm より薄い CET において、ZrO₂/InGaAs MOS 構造のゲートリーク電流は、HfO₂/2-cycle-Al₂O₃/InGaAs[5]より十分小さく、EOT スケーリングが可能であることが分かる。我々は InGaAs 上に W/60-cycle-ZrO₂(4.8 nm)のゲートスタックを用いることにより、10⁻⁷A/cm²(V_G=V_b+1 V)の小さいゲートリーク電流で 1 nm の CET を達成することに成功した。しかしながら、ZrO₂/InGaAs の界面には界面準位密度(D_{it})が多く存在し、キャリアトラップによるゲート制御性の劣化が予測される。この D_{it}を低減するため、ZrO₂ と InGaAs の間に 5-cycle-Al₂O₃ の Interfacial Layer(IL)を挿入した。この結果、D_{it}は 10¹³ eV⁻¹cm⁻²以上の値から 3×10¹² eV⁻¹cm⁻²まで抑えられるが、CET は IL 層により 1.71 nm まで増加してしまう結果となった。さらに、ZrO₂ の膜厚を薄くすることで、W/(50, 40)-cycle-ZrO₂/5-cycle-Al₂O₃/InGaAs で 1.65, 1.56 nm の CET が得られた。

ZrO₂ のゲートスタックを用いた InGaAs TFET の作製プロセスフローを Fig. 3 に、I_s-V_G 特性を Fig. 4 に示す。W/60-cycle-ZrO₂ の InGaAs TFET は 1 nm の CET にも関わらず、1.71, 1.65, 1.56 nm のより厚い CET を示す W/(60, 50, 40)-cycle-ZrO₂/5-cycle-Al₂O₃/InGaAs TFET より性能が劣ることが分かる。これは InGaAs TFET の性能向上には、薄い EOT だけではなく D_{it}低減も重要であることを示している。薄膜の Al₂O₃ IL 層の挿入により、InGaAs TFET の性能が改善される。ZrO₂ の膜厚を減らし、InGaAs TFET の CET を 1.71, 1.65, 1.56 nm と薄くするにつれて、S.S_{min}は 64mV/dec, 62mV/dec, 61mV/dec と段々急峻になっていくことが観測される(Fig. 5)。

【結論】ZrO₂/InGaAs を用いて 10⁻⁷A/cm²(V_G=V_b+1 V)の小さいゲート電流で 1 nm の CET に達成した。ZrO₂/InGaAs の界面に 5-cycle-Al₂O₃ IL を挿入すると CET は増加するが、界面準位は 3×10¹² eV⁻¹cm⁻²程度まで効果的に抑えられる。InGaAs TFET に W/40-cycle-ZrO₂/5-cycle-Al₂O₃(CET: 1.56 nm)をゲートスタックし、61mV/dec の S.S_{min}を得た。

【謝辞】この研究はJST-CREST Grant Number JPMJCR1332からの支援を受けて行われた。InGaAsエピ基板を提供頂いた住友化学の山本武継氏、横山正史氏に感謝する。

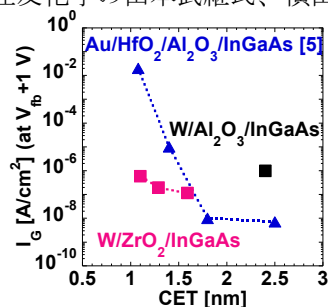


Fig. 1 The gate leakage comparison of ZrO₂ with HfO₂ and Al₂O₃ on InGaAs.

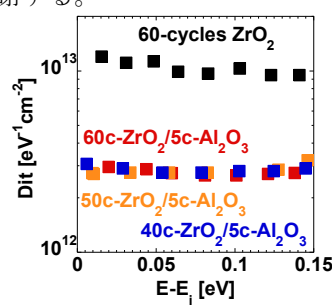


Fig. 2 The Dit of InGaAs MOS capacitance or with ZrO₂ and ZrO₂/5-cycles Al₂O₃.

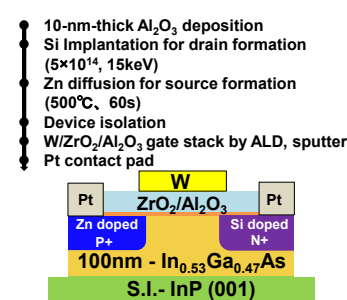


Fig. 3 Fabrication flow of InGaAs tunnel FETs with Zn diffused source.

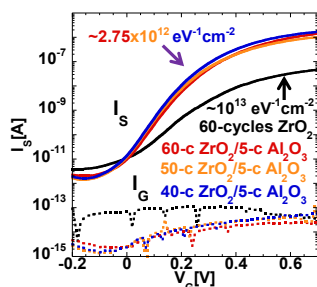


Fig. 4 (a) I-V of InGaAs FET with the 60~40-c ZrO₂/5-c Al₂O₃.

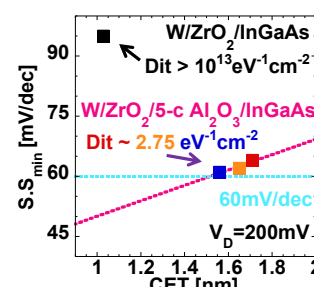


Fig. 5 The S.S_{min}-CET relationship at the D_{it} of 2.75 eV⁻¹cm⁻²

【参考文献】

- [1] A. C. Seabaugh et al., *IEEE Proc.* **98**, 12 (2010)
- [2] M. Noguchi et al., *JAP* **118**, 045712 (2015)
- [3] D.H. Ahn et al., *VLSI symp.*, 152 (2016)
- [4] D.-H. Ahn et al., *APEX* **10**, 084201 (2017)
- [5] R. Suzuki et al., *APL* **100**, 132906 (2012)