

低レイテンシ光デジタル／アナログ変換器の提案

Proposal for low-latency photonic digital/analogue converters

°北 翔太^{1,2}, 新家 昭彦^{1,2}, 野崎 謙悟^{1,2}, コン グアンウェイ³, 山田 浩治³, 納富 雅也^{1,2}

(1. NTT ナノフォトニクスセンタ, 2. NTT 物性研, 3. 産総研)

°S. Kita^{1,2}, A. Shinya^{1,2}, K. Nozaki^{1,2}, G. Cong³, K. Yamada³, and M. Notomi^{1,2}

(1. NTT Nanophotonics Center, 2. NTT Basic Research Labs., 3. AIST)

E-mail: kita.shota@lab.ntt.co.jp

前回から、我々は低演算遅延（＝低レイテンシ）な演算回路として、「線形ゲートをメイン運用する光電融合演算回路」という方針を打ち出し、第一弾として多ビット AND 回路を提案した¹⁾。同じの方針のもと、低レイテンシな光デジタル／アナログ変換器 (DAC) を見出したので報告する。

分解能が N ビットの光 DAC 回路の構成例を Fig. 1(a) に示す。1 桁分のユニットは光強度変調器 (VOA) と Y 合流（合流比は 1:1、透過率は 0.25）からなり、これをカスケード接続する。各 Y 合流の左側から同強度のコヒーレント光を入力する。初段の Y 合流の右側には何も入力しない。変換元の N 桁の電気デジタル信号を対応する桁の VOA に並列入力する。VOA は入力値が “0” のときは遮断，“1” のときは通過する。各 Y 合流で同相に光を合流することで、最終段の光振幅出力はアナログ変換された値になる。本構成では Y 合流間に調整用の移相器を入れる必要がなく、VOA のサイズ次第で極めて低レイテンシな動作（1 ps 未満）が期待できる。

本回路の動作を検証するために、 $N=4$ の場合をシミュレーションした結果を Fig. 1(b) にまとめる。デジタル電気信号生成器のビットレートは 10 Gbps とした場合の電気デジタル入力および光振幅出力を (b) の上下段にそれぞれ示す。直接検波の場合、デジタル入力に対して光強度出力は 2 次関数になるため、電気回路側で平方根をとる必要があり、演算遅延の足かせとなる。そこで、光出力を線形に近づけるために Y+1 ゲート³⁾ による構成を (c) に示す。Y+1 ゲートの信号光ポートおよびバイアス光ポートの透過率はいずれも 0.25 と設定した。バイアス光ポートに信号光と同相のバイアス光 P_{bias} を入力することで、(d) のように光出力がある程度線形化されることを確認した。ただし、切片を除算する必要があるが、総合的に低レイテンシ化に有利であると考えている。本研究は CREST (#JPMJCR15N4), JST の支援を受けたものである。参考文献 1) 北ら, 秋季応物, 6a-C13-10 (2017). 2) 北ら, 秋季応物, 6a-C13-9 (2017).

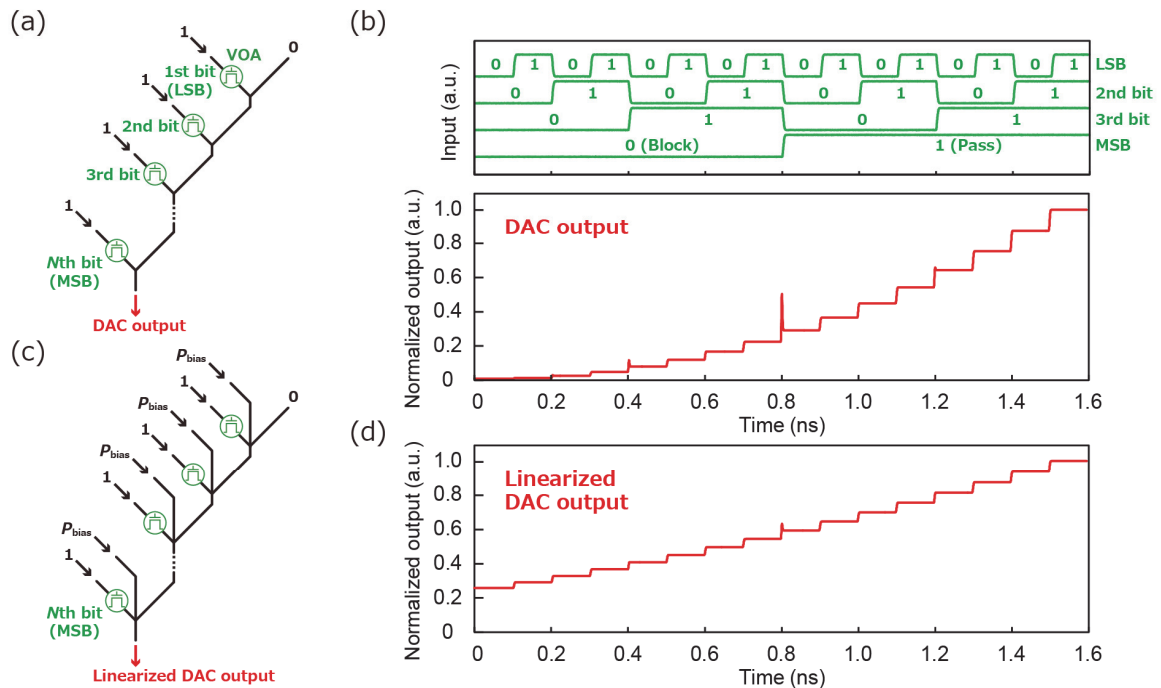


Fig. 1(a) Schematic of a photonic N -bit DAC circuit. (b) Simulated input/output temporal waveforms ($N=4$). (c) Schematic of another configuration with Y+1 gates. (d) Simulated output temporal waveforms ($N=4$, $P_{\text{bias}} = 1$).