

短尺・低損失・広帯域なオンチップ線形光学論理ゲート

Very short, low-loss, broadband on-chip linear optical logic gates

°北 翔太^{1,2}, 野崎 謙悟^{1,2}, 高田 健太^{1,2}, 新家 昭彦^{1,2}, 納富 雅也^{1,2}

(1. NTT ナノフォトニクスセンタ, 2. NTT 物性研)

°S. Kita^{1,2}, K. Nozaki^{1,2}, K. Takata^{1,2}, A. Shinya^{1,2}, and M. Notomi^{1,2}

(1. NTT Nanophotonics Center, 2. NTT Basic Research Labs.)

E-mail: kita.shota@lab.ntt.co.jp

近年、ナノフォトニクス技術の成長により様々な光関連技術の境界条件が変化している。これを受けて、我々は過去の想定を覆す低レイテンシな光演算システムの実現を目指している。その潜在性を高める超短尺な光ゲートとして、これまで面外伝搬光の処理に適したメタ表面ゲート¹⁾を提案・実証してきた。さらに前回は、オンチップ集積に特化した構造として Si Y+1 ゲートを改めて提案し、バイナリコントラスト (BC) ~9.5 dB の AND または NOR 演算が低損失かつ広帯域で可能なことをシミュレーションで示した²⁾。今回はこれを初期的に実験実証したので報告する。

Si フォトニクスにより複数の変調器とオンチップ集積した Si Y+1 ゲートの光学顕微鏡像ならびにゲート単体を拡大した電子顕微鏡像を Fig.1(a), (b)にそれぞれ示す。任意の相対強度をもつバイアス光 (Bias) に対して逆相で光ビット信号 (A, B) を入力するために、各チャンネルに熱光学型の MZI 強度変調器と位相調整器を配置した。各チャンネルを個別制御して線形光学論理演算を実施したところ、Fig. 1(c)のような入出力の時間波形が得られた。(c)の左はバイアス光がない場合の AND 演算で、BC ~5 - 6 dB が得られているのに対し、(c)中央のバイアス光ありの場合では BC ~9.5 dB がほぼ理論通りに得られた。(c)右は中央の状態からバイアス光強度をさらに上昇した場合で、BC ~9 dB の NOR 演算が得られた。異なる入力波長であっても、バイアス光強度の微調整によりほぼ同様な動作が得られることを確認した。本ゲートはこれまで提案されてきた線形光学論理ゲートの中でもとくに短尺で作製が容易でありながら、低損失、広帯域、さらに高機能を両立しうる初めての例であり、低レイテンシ光演算の基本素子の一つとして今後導入していく。本研究は CREST (#JPMJCR15N4), JST の支援を受けたものである。参考文献 1) S. Kita et al., APL Photonics 2, 046104 (2017).

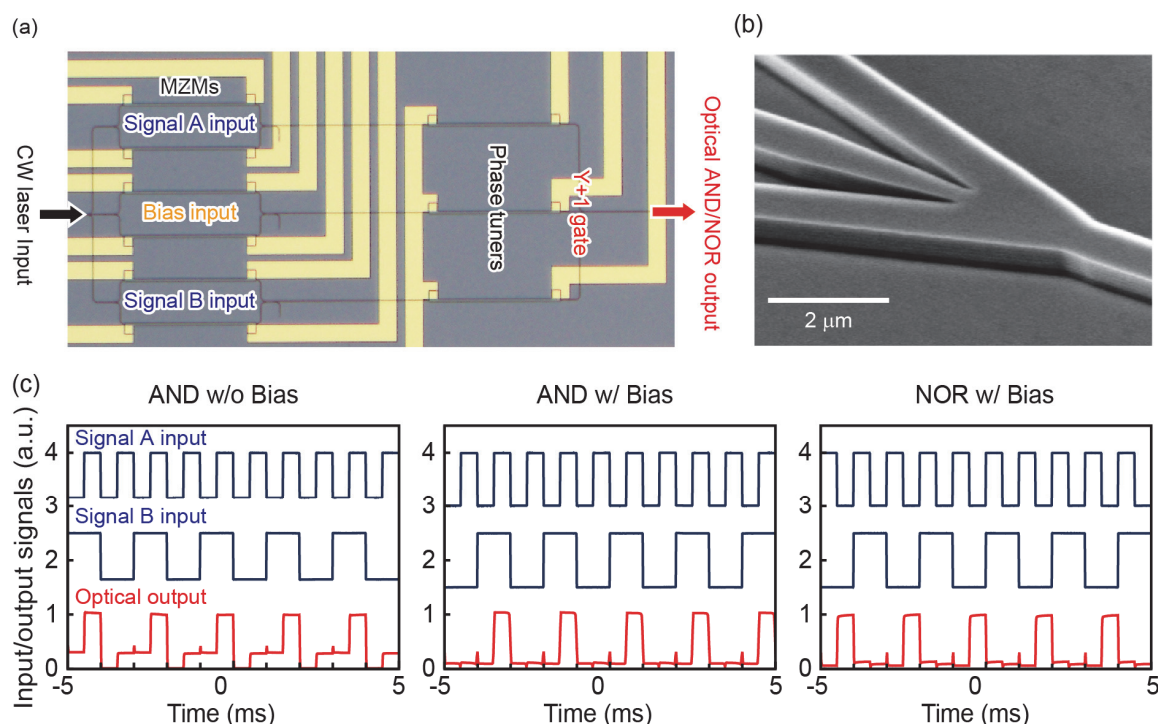


Fig. 2. Experimental demonstration of Si Y+1 branch as linear optical logic gates. (a) Optical microscope image of the whole system. (b) Scanning electron microscope image of the Y+1 gate. (c) Respective temporal waveforms indicating logic operations ($\lambda = 1488$ nm).