

# n-ZnO/p-(Si, Ge) 積層型トンネル電界効果トランジスタの動作実証

## Demonstration of n-ZnO/p-(Si, Ge) bilayer tunneling field effect transistor

東大院工 °加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一

°Kimihiko Kato, Hiroaki Matsui, Hitoshi Tabata, Mitsuru Takenaka, Shinichi Takagi

The University of Tokyo E-mail: kkato@mosfet.t.u-tokyo.ac.jp

【背景】量子トンネル現象を動作原理に用いたトンネル電界効果トランジスタ (tunneling TFET) は、低電圧駆動かつ低消費電力なスイッチング素子として期待されている。これまで我々は、酸化物半導体と IV 族半導体を積層された bilayer TFET を提案している[1]。Bilayer 構造により、ゲート電極に対して垂直なトンネリングを接合面全域で引き起こすため、高い  $I_{ON}$  と小さなサブスレシヨルドスイング (S.S.) の両立が期待される。また、酸化物半導体の低い伝導帯端と、IV 族半導体の高い価電子帯端を組み合わせることで、type-II エネルギーバンド構造が得られ、トンネル確率の増大に有効である。本研究では、n 型 ZnO チャンネル層を p-Si もしくは p-Ge 上に堆積し、提案する bilayer TFET の動作実証に初めて成功したので、その結果を報告する。

【試料作製】 Fig. 1 に示す手順に従い、TFET を作製した。パターンニングされた  $\text{SiO}_2/\text{p}^+\text{-Si}$  もしくは Ge 基板上に PLD 法により ZnO 膜を堆積した。ZnO に不純物は添加していないが、余剰 Zn や O 欠損に起因して電子伝導を有する。その後、ALD 法による  $\text{Al}_2\text{O}_3$  膜形成と、プラズマもしくは熱による後処理を施した[2]。最後に、TiN ゲート、Ni ソース、および Al ドレインの各電極を形成した。また本研究では、同一チップ内に ZnO 薄膜トランジスタ (TFT) を作製し特性を比較することで、ソース〜ドレイン間の電流 ( $I_d$ ) がトンネル接合により制御されることを確認した。

【結果】室温で測定した ZnO/Si TFET と TFT の  $I_d$ - $V_g$  特性を比較したところ、TFET の方がより正の閾値を有しており、また  $I_{ON}$  は小さい (Fig. 2(a))。これらの結果は、 $I_d$  が ZnO/Si トンネル接合で制御されていることを示している。加えて、TFET は TFT に比べより急峻なスイッチング特性を示しており、最小 S.S. 値は 71 mV/dec. を達成した (Fig. 2(b))。p<sup>+</sup>-Si と p<sup>+</sup>-Ge 基板上に作製した素子の結果を比較したところ、Ge の方が  $I_{ON}$  が増大していることがわかる (Fig. 3)。Si に比べ Ge の方が価電子帯端が高く、ZnO チャンネルとの実効エネルギー障壁高さが減少したためと考えられる。この時、ON 状態と OFF 状態との電流比は  $10^8$  を上回り、これまでの TFET の研究における最高値となっている。当日は、ゲートスタック作製プロセスに関する詳細、ソース不純物濃度が TFET 特性に与える影響も併せて報告する。

【謝辞】本研究は、JST CREST の支援 (課題番号: JPMJCR1332) を受けて行われた。

【文献】[1] K. Kato *et al.*, IEDM 2017, p. 377. [2] K. Kato *et al.*, SSDM 2017, p. 223.

- Substrate:  $\text{SiO}_2/\text{p-Si}$ ,  $\text{SiO}_2/\text{p-Ge}$
- Tunneling window formation
- ZnO channel formation
  - PLD: no-doping, 200°C, 12-15 nm
  - $\text{O}_2$  annealing: 400°C (Carrier concentration:  $<10^{19} \text{ cm}^{-3}$ )
  - Patterning by diluted-HCl
- High-k formation
  - ALD- $\text{Al}_2\text{O}_3$  (1): 200°C, 1 nm
  - Plasma oxidation: RT, 1 min
  - ALD- $\text{Al}_2\text{O}_3$  (2): 200°C, 9 nm
  - $\text{O}_2$  annealing: 350°C, 3 min
- TiN-gate formation
- Ni-source, Al-drain formation
- PMA: 300°C, 30 min

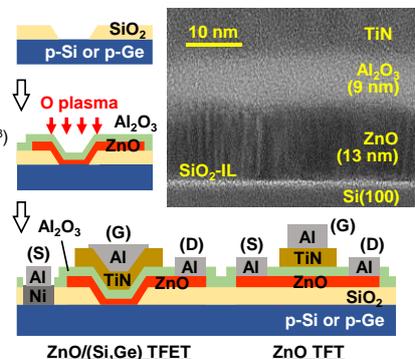


Fig. 1 n-ZnO/p-(Si or Ge) TFET fabrication process flow with PLD non-doped ZnO deposition and engineered gate stack formation. In order to experimentally prove the TFET operation, top-gate ZnO TFTs are also fabricated.

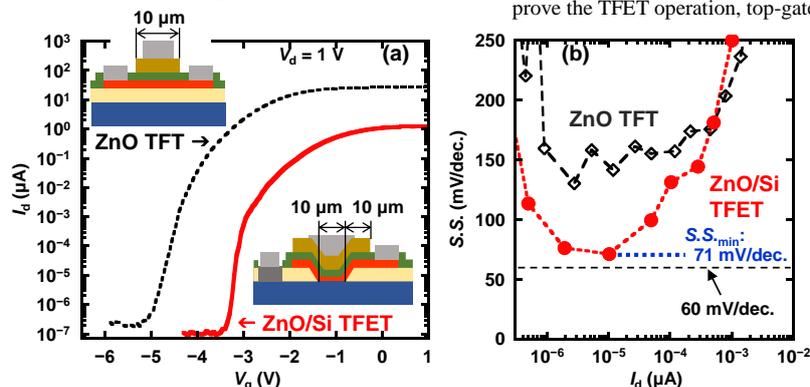


Fig. 2 First demonstration of ZnO/Si TFET operation; (a)  $I_d$ - $V_g$  and (b) S.S.- $I_d$  characteristics with S.S. minimum of  $\sim 71$  mV/dec.

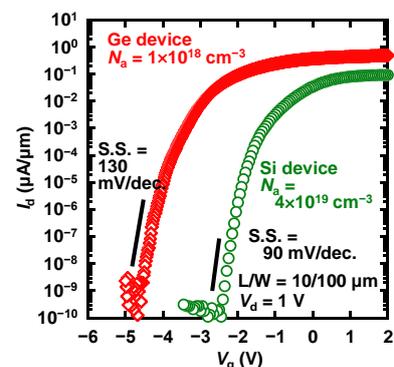


Fig. 3 Comparison in  $I_d$ - $V_g$  characteristics of TFETs with Si and Ge source.