

InGaAs ナノシートトランジスタの作製

Fabrication of InGaAs Nanosheet Transistors

東工大 〇金澤 徹, 大澤 一斗, 雨宮 智宏, 木瀬 信和, 青沼 遼介, 宮本 恭幸

TokyoTech, 〇Toru Kanazawa, Kazuto Ohsawa, Tomohiro Amemiya, Nobukazu Kise,

Ryosuke Aonuma, Yasuyuki Miyamoto

E-mail: kanazawa.t.aa@m.titech.ac.jp

1. 研究背景・目的

集積回路の基幹部品である電界効果トランジスタ (FET) の極微細化・超低消費電力化における障害となる短チャネル効果を抑制するには、立体型マルチゲート構造が有効である。積層型ナノシート [1] は現在主流であるフィン構造と比較して、本数で量子化されない連続的な電流設計やチャネル厚制御性の向上等が期待される新しい立体型チャネル構造である。

これまで我々は、高電子移動度材料 InGaAs からなるフィン型チャネルと高濃度 n ドープ ($>10^{19} \text{ cm}^{-3}$) 再成長ソースを有する FET [2] の作製技術に応用し、積層型 InGaAs ナノシート作製プロセスの開発を行ってきた [3]。今回、InGaAs ナノシートトランジスタを作製し、評価を行った結果について報告する。

2. 素子構造・プロセス

作製した積層型 InGaAs ナノシート構造の模式図を Fig. 1 に示す。ナノシートは過去の報告 [3] 同様、InP/InGaAs が交互に積層されたメサ側面を n^+ -InGaAs の MOCVD 選択再成長で埋め込んだ後、チャネル幅を定義するドライエッチングを行い、最後に層間の InP を選択的にウェットエッチングして形成する。

絶縁膜は N_2 プラズマ処理後に Al_2O_3 0.4 nm (300°C)、 HfO_2 5 nm (120°C) を ALD 成膜し、ゲート電極は対向する斜め二方向からの Mo スパッタにより堆積した。

3. 構造観察および電流特性

Fig. 2 は素子の電子顕微鏡観察像である。SEM 観察像 (a) より最小の設計ではチャネル長 $L_{\text{ch}} = 40 \text{ nm}$ と見積もられた。(b) (側面より観察, $L_{\text{ch}} = 120 \text{ nm}$) からは二層のナノシートが再成長層により中空保持されていることが見て取れる。(c), (d) は長チャネル ($L_{\text{ch}} = 1 \mu\text{m}$) 素子の断面 TEM 像であり、同じく二層のナノシートと少なくとも 3 面への Mo 電極形成が確認された。

デバイスの電流特性を Fig. 3 に示す。 $V_{\text{GS}} = 3 \text{ V}$, $V_{\text{DS}} = 0.5 \text{ V}$ において $I_{\text{D}} = 500 \mu\text{A}$ が得られ、観察像より見積もった電流密度は $190 \mu\text{A}/\mu\text{m}$ となる。 $V_{\text{DS}} = 50/500 \text{ mV}$ 間でのしきい値電圧低下 (DIBL) は、過去のフィン構造素子と比して抑えられていた。以上より、提案構造/プロセスでの FET 動作を実証し、ナノシート構造による短チャネル効果の抑制を示す結果が得られた。

電流特性の制限要因は主に界面/ボーダートラップと考えられ、電極の ALD 成膜 (GAA 化) を含めた MOS 構造形成プロセスの改善が課題である。

参考文献

- [1] N. Loubet et al., *Tech. Dig. VLSI 2017*, p. T230 (2017).
- [2] N. Kise et al., *Solid-State Electron.*, **126**, p. 92 (2016).
- [3] 大澤他, 第78回応用物理学会秋季学術講演会, 8a-S22-2 (2017).

謝辞

本研究は JSPS 科研費 JP16K18087 の助成を受けて行われました。断面 TEM 像は東工大岡山分析部門の技術支援により得られたものです。プロセスの一部は文部科学省「ナノテクノロジープラットフォーム」事業の支援により (独) 産業技術総合研究所ナノプロセス施設にて行われました。

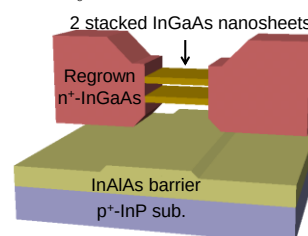


Fig. 1 Schematic of InGaAs nanosheet FET

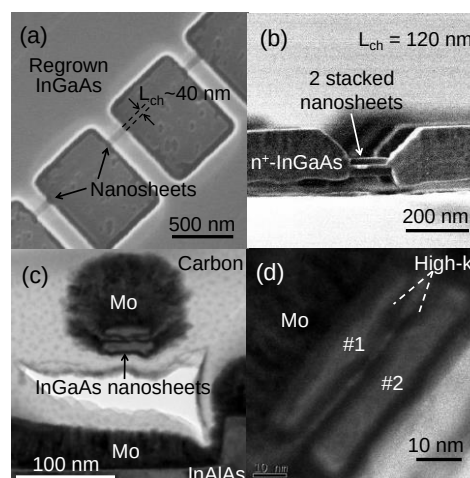


Fig. 2 (a), (b) Top- and side-view SEM images and (c), (d) cross-sectional TEM images of the fabricated nanosheet device structures.

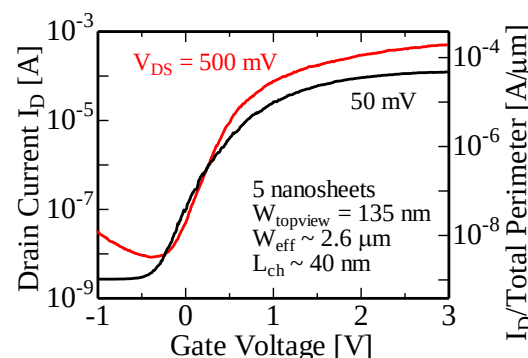


Fig. 3 $I_{\text{D}}-V_{\text{GS}}$ curves of InGaAs nanosheet FET.