

Smart Cut 法を用いた InAs on Insulator 構造の作製

Fabrication of InAs-on-Insulator structures by Smart Cut method

○隅田 圭¹, 竹中 充^{1,2}, 高木 信一^{1,2} (1. 東京大学工学部、2. 東京大学院工)

○K. Sumita^{1,2}, M. Takenaka^{1,2}, S. Takagi^{1,2} (U. Tokyo, Faculty of Engineering¹, School of Engineering²)

E-mail: sumita@mosfet.t.u-tokyo.ac.jp

【背景・目的】メタルS/Dを有するInAs nMOSFET [1]及びGe pMOSFET [2]は、金属界面とのフェルミレベルピンギを理由とすることにより、低温での素子作製が可能であることから、III-V nMOSFET と Ge pMOSFET を積層した3次元CMOSが期待できる[3]。この素子を実現するためには、高品質のInAs-OI (InAs-On-Insulator) 構造の実現が重要である。InAsのエピタキシャル成長では格子不整合の問題からバルクに近い品質の薄膜を得ることが困難であるが、直接基板貼り合せと注入イオンによるSplittingを組み合わせたSmart Cut法 (Fig. 1) は、格子不整合に関わらずバルクに近い品質の薄膜を実現するだけでなく、ドナー基板の再利用が出来るので経済性の観点からも優れている。しかしながらInAsへのSmart Cut法の適用例は少なく、-20°Cでイオン注入した例が報告されている[4, 5]のみであり、技術が確立しているとは言えない。本研究では室温イオン注入を用いたSmart Cut法により、InAs-OI構造が実現できること、またInAsの面方位によりInAs表面の平坦性が向上することを見出したので、報告する。

【実験・結果】作製プロセスをFig. 1に示す。面方位が(100), (111)A, (111)Bの3種類のInAs基板にPECVDでSiO₂を100nm堆積させた後、H⁺イオンをDose: 5×10¹⁶ cm⁻², Energy: 40keV, 注入レート: 1.73×10¹⁴ cm⁻²/min, 注入温度: 室温の条件で注入し、その後、BHFでInAs上のSiO₂を除去した。次に、Si上に熱酸化SiO₂を2μmもしくは140nm形成した基板、SiO₂が無い基板の3種類のSi基板を用意し、これら基板上にALDで5~10nmのAl₂O₃を堆積させた。全ての基板に対して、UV/O₃ cleaning, 超音波洗浄を行った後に、InAs 3種×Si 3種の計9種類の組み合わせで、直接基板貼り合せを行った。貼り合せ後の基板を100°Cで24h以上アニールした後に、200°CでアニールすることでInAsがSplitした。Fig. 2に2inchウェハ全面で実現されたInAs-OI基板の写真を示す。結果として、室温イオン注入によるSmart Cut法でのInAs-OI基板形成が実証された。Split直後のInAs-OIの表面の荒さはSiO₂の厚みに関係なく、Fig.3に見られる様に、(111)InAsを用いた場合のRMSは10~13nm, (100)InAsを用いた場合は30~40nmとなり、(111)の方が(100)よりも、Split後の表面の平坦性に優れていることが判明した。

【謝辞】本研究は、科学研究費補助金(17H06148)及びJST-CREST, JPMJCR1332の支援により実施した。

【参考文献】 [1] S. Kim *et al.*, *IEEE Trans. Electron Dev.* **60**, 3342 (2013). [2] T. Maeda *et al.*, *IEEE Electron Device Lett.* **26**, 102 (2005). [3] T. Irisawa *et al.*, *Dig. Tech. Pap. - Symp. VLSI Technol.*, pp. 3, 2014. [4] S. A. Dayeh *et al.*, *Appl. Phys. Lett.* **93**, 203109, 2008. [5] S. L. Hayashi *et al.*, *ECS Transactions* **3(6)**, pp. 129, 2006.

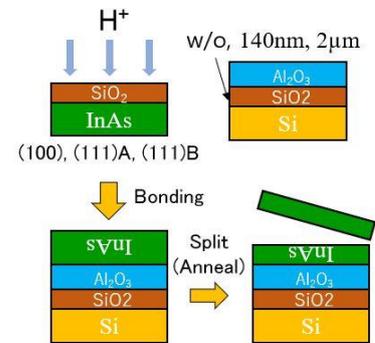


Fig. 1 Overview of Smart Cut process

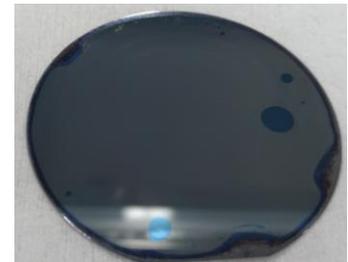
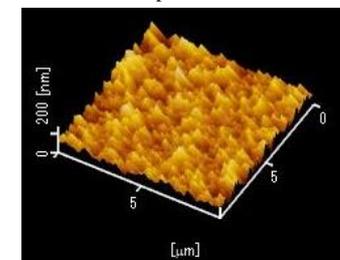
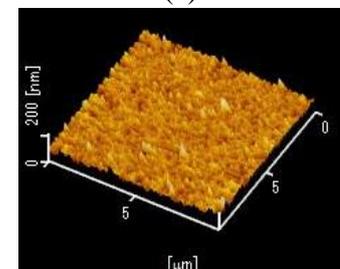


Fig. 2 (100) InAs on 140-nm-thick SiO₂ on Si after Smart Cut process



(a)



(b)

Fig. 3 10×10μm AFM images of InAs-OI after Smart Cut process. (a) (100) InAs on 2-μm-thick SiO₂ on Si (RMS = 32nm). (b) (111)A InAs on 140-nm-thick SiO₂ on Si (RMS = 13nm).