

MOS-Gated Thyristor の電圧ベース等価回路モデルを用いた 急峻スロープ PN-Body Tied SOI FET のパラメータ依存性の検討

Parameter Dependence of Steep Slope PN-Body Tied SOI FET

Investigated by Voltage-based MOS-Gated Thyristor Equivalent Circuit Model

東大生研, [○](M1)植田大貴, 竹内潔, 小林正治, 平本俊郎

IIS, Univ. of Tokyo, [○](M1) Daiki Ueda, Kiyoshi Takeuchi, Masaharu Kobayashi, and Toshiro Hiramoto

E-mail: d.ueda@nano.iis.u-tokyo.ac.jp

【はじめに】近年提案された PN-Body Tied SOI FET (PNBTFT, Fig. 1) は 0.1 V という低ドレイン電圧で 0 mV/decade の非常に急峻なサブスレッショルドスロープ (SS) を示す[1-3]. PNBTFT の急峻な SS は, PNBTFT に内在する P 型領域に MOS ゲートが載った PNP 構造 (Fig. 2), すなわち MOS-Gated Thyristor (MGT) の急峻なスイッチング動作に起因する. そのため, PNBTFT の最適化のためにはまず MGT の特性を制御しなければならない. そこで我々は MGT の動作原理を明らかにするため新たな MGT の等価回路モデルを提案した[4]. 今回は, そのモデルと MGT のパラメータ依存性のシミュレーション結果を比較した[5,6]ので報告する.

【提案モデル】我々が提案した MGT の電圧ベース等価回路モデルは 2 つの電圧インバータ Electron Current Inverter (ECI) と Hole Current Inverter (HCI) が P 型領域と N 型領域の電位 V_P , V_N を介して相互接続された構造である (Fig. 3). このモデルによって MGT のフィードバック機構は ECI と HCI の電圧応答に分解される. ECI と HCI の挙動は Fig. 4 に示す TCAD モデルによりシミュレーションできる. ECI モデルでは元の MGT に内在する MOSFET と NPN トランジスタの構造を維持したまま N 型領域を延長することで PNP トランジスタの影響を排している. 同様に HCI モデルでは NPN トランジスタと MOSFET の影響を排するため P 型領域が延長され, MOS ゲートが除去されている. ECI と HCI の特性曲線は Fig. 5 に示すように V_N - V_P グラフ上に表され, MGT の動作点は特性曲線の交わる安定点上に存在する. ゲート電圧 V_G による ECI 特性の変調によって動作点の停留する安定点が消滅するとき, 動作点は他方の安定点へ瞬間的に遷移して V_P が急激に変化し, PNBTFT の急峻な SS が実現する. このように提案した等価回路モデルは MGT の急峻なスイッチング動作を再現することができる.

【パラメータ依存性の計算結果】等価回路モデルのスイッチング特性を制御するには ECI と HCI のパラメータ依存性を明らかにする必要がある. 本研究では, 等価回路モデルおよび MGT の V_P - V_G 特性の, P 型領域の長さ L_P とアクセプタ濃度 N_P に対する依存性の計算結果の比較を行った. 等価回路モデルの V_P - V_G 特性は V_G に対する ECI と HCI の特性曲線の交点の軌跡から求め, Fig. 1 の構造のままシミュレーションした MGT の特性と比較した. L_P 依存性の比較を Fig. 6 に示す. L_P を長くすると Turn-On 電圧 V_{ON} を保ったまま Turn-Off 電圧 V_{OFF} が上昇するという傾向が等価回路モデルと MGT の両方で共通して見られた. また, N_P 依存性の比較を Fig. 7 に示す. N_P を増加させると $V_{ON} \cdot V_{OFF}$ ともに上昇し, さらにヒステリシス幅が狭まるという傾向が等価回路モデルと MGT の両方に共通して見られた. これらのパラメータ依存性を用いることで最適なきい値電圧と小さいヒステリシス幅を持つ MGT を設計することが可能となる.

【結論】MGT の電圧ベース等価回路モデルが PNBTFT の最適化に有用であることを示した.

【参考文献】[1] J. Ida, *et al.*, IEDM, p. 624, 2015. [2] T. Horii, *et al.*, Silicon Nano Workshop, p. 148, 2016. [3] T. Yoshida, *et al.*, IEEE S3S Conf., 6a.4, 2016. [4] D. Ueda, *et al.*, Silicon Nano Workshop, p. 13, 2017. [5] D. Ueda, *et al.*, SSDM, p. 243, 2017. [6] D. Ueda, *et al.*, JJAP, 2018 (to be published).

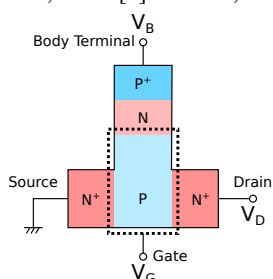


Fig. 1 Top view of PNBTFT.

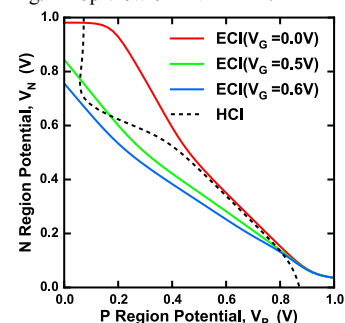


Fig. 5 Simulated characteristics of ECI and HCI with varying V_G .

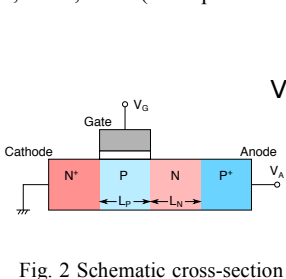


Fig. 2 Schematic cross-section of MGT.

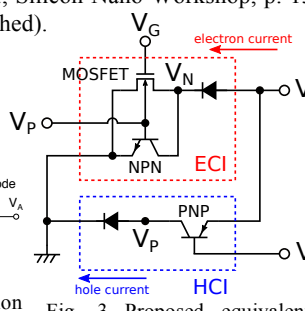


Fig. 3 Proposed equivalent circuit model.

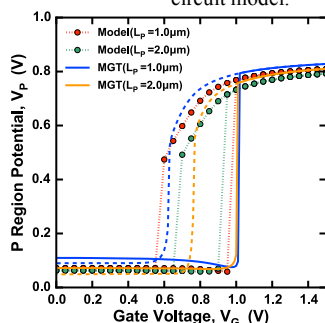


Fig. 6 Simulated V_P - V_G characteristics of the model and MGT with varying L_P .

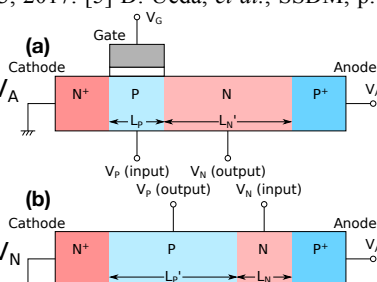


Fig. 4 TCAD models for (a) ECI and (b) HCI.

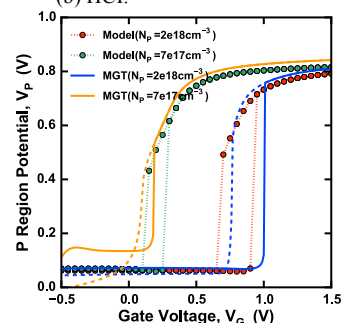


Fig. 7 Simulated V_P - V_G characteristics of the model and MGT with varying N_P .