

p 型 GOI 基板上に作製した p チャネル GOI トンネル FET の電気特性 Electrical characteristics of p-channel GOI tunneling FETs fabricated on p-type GOI

東京大学¹ °高口遼太郎, 加藤公彦, 柯夢南, 竹中充, 高木信一

The University of Tokyo, °R. Takaguchi, K. Kato, M. Ke, M. Takenaka and S. Takagi

E-mail: takaguchi@mosfet.t.u-tokyo.ac.jp

【はじめに】トンネル FET (TFET) は MOSFET に代わる次世代トランジスタとして期待されている。消費電力の低減が期待される一方、Si TFET では高いオン電流を得られないことが問題となっている[1]。Ge は Si よりも狭いバンドギャップを持つだけでなく、n チャネル MOS 動作に加えて良好な p チャネル MOS 動作を実現できるため、p チャネル TFET (p-TFET) の材料としても有望な材料である。我々は既に n 型バルク Ge 基板 (n-Ge) 上に p-TFET を作製し、動作を実証している[2]。新たに、p 型 Ge-on-insulator 基板上 (p-GOI) に p-TFET を作製し、n-Ge 上に作製したものと電気特性の比較を行ったので報告する。

【実験手法】Fig. 1 に p-GOI 上に作製した p-TFET のプロセスフローを示す。p-GOI の不純物濃度は $\sim 4 \times 10^{16} \text{ cm}^{-3}$ 、p-GOI の Ge 層の厚さは $\sim 100 \text{ nm}$ 、埋め込み酸化膜の厚さは $\sim 170 \text{ nm}$ である。比較のため、既存のプロセス[2]で n-Ge 上にも p-TFET を作製した。P-GOI 上に作製した p-TFET は蓄積状態で p-TFET 動作するのにに対し、n-Ge 上に作製したものでは反転状態で動作する。ここで、n-Ge 上の p-TFET の測定の際は、ソース領域と基板を電氣的にショートさせている。

【実験結果】Fig. 2-5 に作製した TFET の電気特性を示す。GOI 上に作製した素子でも良好な p-TFET 動作が確認できる (Fig. 2)。 I_d-V_g 特性 (Fig. 3) を見ると、n-Ge 上に作製した素子は p チャネル動作で 2 段階の立ち上りと kink が見られるのに対し、p-GOI 上の素子では同様の kink が ambipolar 動作の n-TFET 動作領域で見られることが分かる。この結果は、電流の立ち上がり部分で見られる kink が反転状態で生じることを示唆している。また、p-GOI 上に作製したものでは、p-TFET 動作領域での kink の発生が抑えられたことで、サブスレッショルドスウィング (SS) の劣化が抑えられ、SS の向上が観測されることが分かる (Fig. 4)。P-GOI 上に作製した TFET では、基板とドレイン領域の伝導型が同じため、ゲートとドレイン領域がオーバーラップせずとも、p-TFET 動作が可能である。オーバーラップがない場合でも、p-TFET 動作領域の特性は大きく変化せず、n-TFET 動作領域で電流の立ち上がりが観測されている (Fig. 5)。この結果に加え、Fig. 3 で観測された、n-Ge 基板と p-GOI 基板上の p-TFET

での kink が見られる動作領域の違いから判断して、kink をもたらず電流は、チャネル内もしくは MOS 界面の欠陥による生成再結合電流によるものであると考えられる。このことから、p-GOI 基板を用いた蓄積動作 p-TFET は、低電流領域での欠陥による特性劣化を低減できる素子構造であると言える。

【まとめ】P-GOI 基板上に GOI p-TFET を作製し、動作を実証した。

【謝辞】本研究は、JST CREST, JPMJCR1332 の支援を受け実施した。

【参考文献】[1] T. Krishnamohan *et al.*, IEDM, pp. 947, 2008. [2] R. Takaguchi *et al.*, SSDM, 231, 2017.

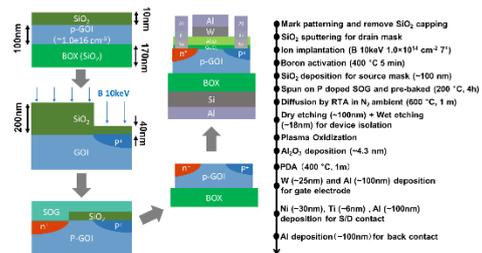


Fig. 1 Fabrication process flow of p-TFETs on p-GOI

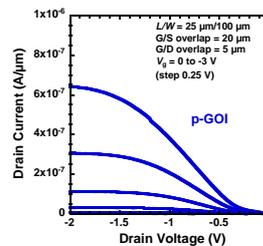


Fig. 2 I_d-V_d characteristics of p-TFETs fabricated on p-GOI

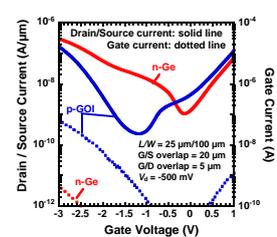


Fig. 3 I_d-V_g characteristics of p-TFETs fabricated on p-GOI (blue) and n-Ge (red)

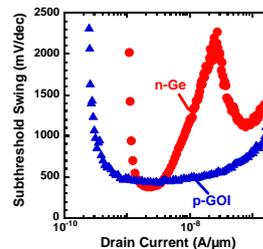


Fig. 4 SS- I_d characteristics of p-TFETs fabricated on p-GOI (blue) and n-Ge (red) extracted from Fig. 3

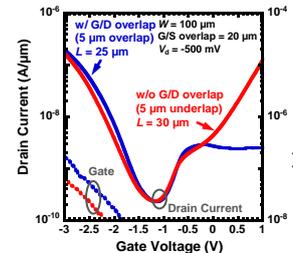


Fig. 5 I_d-V_g characteristics of p-TFETs with gate/drain overlap (blue) and without gate/drain overlap (red) fabricated on p-GOI