

短納期 CMOS 作製による半導体実習

Short Turnaround CMOS Fabrication for Semiconductor Training

広島大学ナノデバイスバイオ融合科学研究所

○山田 真司, 岡田 和志, 目黒 達也, 佐藤 旦, 雨宮 嘉照,

田部井 哲夫, 横山 新

Research Institute for Nanodevice and Bio Systems, Hiroshima Univ.

○Shinji Yamada, Kazushi Okada, Tatsuya Meguro, Tadashi Sato, Yoshiteru Amemiya,

Tetsuo Tabei, Shin Yokoyama

E-mail: ymdsinji@hiroshima-u.ac.jp

1. はじめに

当研究所では文科省のナノテクプラットホーム事業の微細加工支援機関として、半導体デバイスを中心とした技術支援を行っている。これまで毎年半導体メーカーの技術者だけでなく、半導体デバイスを応用した研究を目指す研究者および学生をも対象に「半導体実践セミナー」、「学生プログラム研修」、「高専生インターンシップ」などの技術研修を実施してきた。

半導体メーカーの技術者は、ある特定のプロセスのみを専門としている場合が多く、全プロセスを横断的に体験できる研修とあって好評を博してきた。研修用テキストも各種装置のマニュアルも含めた 100 ページ近くあり、内容も豊富なものになっている。

2. 短納期 CMOS デバイス

MOSFET だけでなく CMOS デバイスを作製し、バイオセンサーや受光回路との一体化および MEMS への展開を容易にするために、短納期で CMOS デバイスを作製するプロセスを開発した。短納期 CMOS デバイスで、レイアウト設計からデバイス作製およびその特性測定までを 1 週間で行う研修を実施している。図 1 は、開発した短納期 CMOS トランジスタの構造である。プロセスの主な特徴は、(1) アクティブ領域は膜厚 500nm の酸化膜をウェットエッチングして形成、(2) ゲート電極及び金属配線は同一の Al 層で形成、(3) 層間絶縁膜は形成しないことである。これらの簡略化によって、デバイス作製時間を最短で 4 日程度に短縮することが可能となった。

3. 現状と今後

図 2 はゲート長 = 10 μm の CMOS インバータの入出力特性で、正常に動作した。図 3 は 3 段 CMOS リングオシレータの発振波形であり、0.75 V_{p-p} で約 27 MHz の発振を確認した。発振周波数は温度により変化するため、今後温度センサとしての利用を考える。図 4 は作製した CMOS オペアンプで、両電源で動作を確認した。今後は、センサ回路や外部への出力回路も含めていきたい。

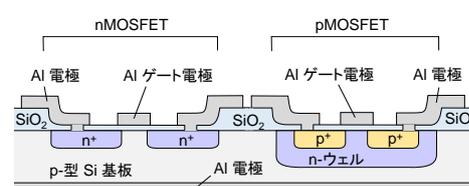


図 1. CMOS トランジスタの構造

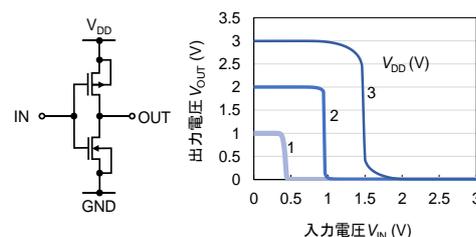


図 2. CMOS インバータの入出力特性

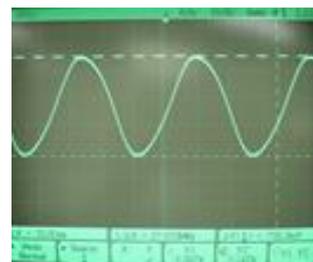


図 3. 3 段 CMOS リングオシレータの発振波形

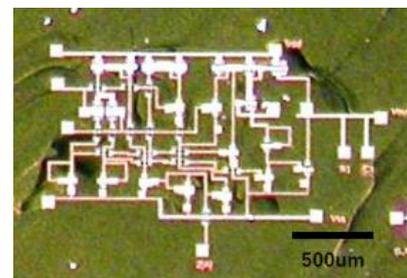


図 4. 作製した CMOS オペアンプ