

Si/CaF₂ 三重障壁共鳴トンネルダイオード の室温微分負性抵抗特性

Room Temperature Negative Differential Resistance of

Si/CaF₂ Triple-barrier Resonant Tunneling Diodes

東工大工学院 ○利根川啓希, 渡辺正裕

Tokyo Institute of Technology, °H. Tonegawa, M. Watanabe

E-mail: tonegawa.h.aa@m.titech.ac.jp

【はじめに】

シリコン(Si)/弗化カルシウム(CaF₂)ヘテロ構造は、界面における伝導帯バンド不連続が1~2 eV、結晶構造及び格子定数の近似性から Si 基板上に原子層レベルの積層エピタキシャル成長可能であることから、室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダイオード(RTD)の構成材料として有望である[1]。Si/CaF₂ヘテロ構造を用いた RTD としては、二重障壁構造を用いて室温 NDR が観測されているが、PVCR は 10 未満がほとんどであり、10⁴を超える例は観測されていなかった。今回、Si/CaF₂三重障壁構造RTDを設計、作製し、10⁵を超えるPVCRと10⁵A/cm²を超えるピーク電流密度を両立する室温微分負性抵抗特性をはじめて観測したので報告する。

【実験方法】 今回作製した素子構造を Fig.1 に示す。n-Si(111)基板を SPM 洗浄後、厚さ 30nm の熱酸化膜を形成し、ウェットエッチングにより直径 2 μm の窓を形成する。その後基板を分子線エピタキシー結晶成長装置内に搬入し、表面保護酸化膜を除去後、CaF₂(0.62nm)/Si(2.48nm)/CaF₂(0.62nm)/Si(1.55nm)/CaF₂(0.62nm)/n-Si (5nm)の各層を結晶成長した。Cr/Au 電極をリフトオフにより形成し素子完成となる。電流電圧測定には半導体パラメータアナライザ Keysight-4155C を用いた。

【結果と考察】 作製した素子の室温における I-V 特性を Fig.2 に示す。印加電圧は上部電極側の電位を正にとっている。室温において明確な微分負性抵抗特性が観測され、PVCR は 10⁵、ピーク電流密度は 152 kA/cm² であり、

Esaki-Tsu モデルによる理論解析とよく整合する。三重障壁構造は二重障壁構造と比べエネルギーフィルターとなる量子井戸層が一層多いため高いPVCRが期待できるが、10kA/cm²を超えるピーク電流密度を同時期に得るには、CaF₂障壁層厚として1~2 原子層の極薄膜が必要とされる。今回の結果は、三重障壁構造の Si/CaF₂ RTD としてはじめて室温微分負性抵抗特性を観測したものであり、今後の高速スイッチング素子、メモリやサブバンド応用デバイスへ向けて、本研究で提案する材料系および原子層積層形成技術の有望性を示唆するものと考ええる。【参考文献】 [1] Y. Kuwata et al., Appl. Phys. Express 9, 074001 (2016)

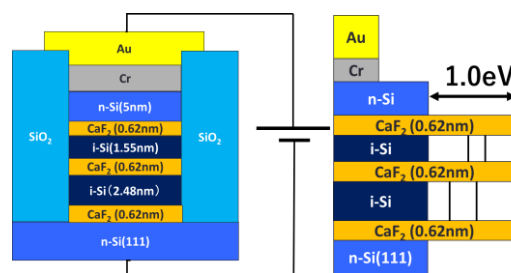


Fig.1 素子構造と伝導帯バンド図

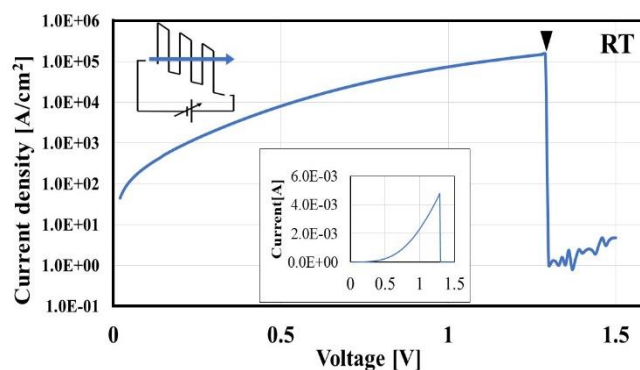


Fig.2 室温電流電圧特性