先端半導体素子信頼性のデバイスシミュレーション

Device Simulation of Reliability for Advanced Semiconductor Devices

東芝メモリ(株)メモリ技術研究所 [1]，東芝メモリ(株)メモリ事業部 [2]
○石原 貴光 [1]，松澤 一也 [1]，内藤 毅 [2]，吉富 貞幸 [2]
Institute of Memory Technology Research & Development [1], Toshiba Memory Corporation,
Memory Division [2], Toshiba Memory Corporation, ○Takamitsu Ishihara[1], Kazuya Matsuzawa[1],
Takeshi Naito[2], Sadayuki Yoshitomi[2]
E-mail: takamitsu.ishihara@toshiba.co.jp

半導体デバイスは、コンシューマ向け機器から社会インフラ・システムに至るまで、機器の主機能を担うキーコンポーネントとして至る所に組み込まれるようになっており、その信頼性確保は重要な技術課題である。また、半導体デバイスの微細化により LSI の更なる高集積化と回路構成の大規模化が進展しており、故障や誤作動による影響はより深刻化する。一時的な信頼性悪化要因としては、ESD（electrostatic discharge）やエレクトロ・マイグレーションが、長時間に及ぶ信頼性悪化要因としては、ホット・キャリアや NBTI（negative bias temperature instability）・PBTI（positive bias temperature instability）によるデバイスの経年劣化がある。実際の LSI 設計では、前者のような一時的な信頼性悪化要因に対しては、レイアウト検証ツールなどを用いて回路を流れる電流やレイアウト形状などから危険個所を推測することが多い。しかし、デバイス信頼性を根本的に改善するためには、物理現象に即したメカニズム理解が必要であり、素子内部の物理現象を可視化できるデバイスシミュレーションは必須である。例えば、ESD の場合、AHI (Anode-Hole-Injection)モデルによるゲート絶縁膜壊のモデリングにより､ESD 耐性の指標となる破壊パルス回数をデバイスシミュレーションにより高精度に求めることで(図 1)､ESD 耐性の予測が可能となる[1]。また、ソフトエラー等電離放射線がトリガーとなって発生した、ゲート絶縁膜や STI 等酸化膜中に残留するキャリア量の経時変化をデバイスシミュレーションで追うことにより素子内部の物理現象を可視化することは、見通しの良い設計指針構築に効果的である。複雑な物理現象の効果的な可視化のためには、種々の物理量の抽出が必要になるため、柔軟な改良が可能なユーザインターフェースを備えたデバイスシミュレータを内製化することが鍵である。一方、ホット・キャリア劣化のような、デバイスの長時間劣化に弱い回路のホット・スポットを設計段階で見出すためには、個々のデバイス劣化から回路の劣化を予測することができる回路の劣化シミュレーション技術も必要となる[2]。回路シミュレーションにより、レイアウトのレベルで見出した信頼性悪化個所を、デバイスシミュレーションにより詳細にメカニズム解析を行うことで、設計段階での見通しの良い信頼性設計を期待でき、このようなデバイス・回路融合シミュレーションが今後のデバイスシミュレーション技術の一つの方向性である。

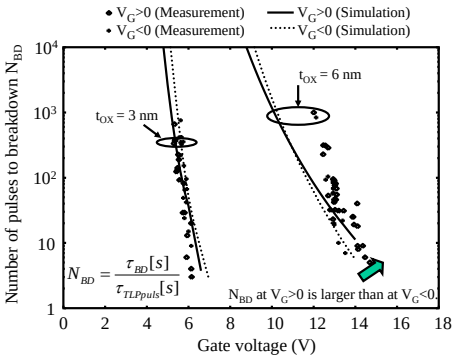

図 1: 破壊に至るまでのパルス回数

[1] 松澤一也他、Extended abstract in “International Conference on Simulation of Semiconductor Processes and Devices, 2003(SISPAD 2003)”, pp. 129 – 132.
[2] 石原貴光他：“回路の経年劣化を予測する回路信頼性シミュレーション技術の開発とその応用”，回路とシステムワークショップ, pp. 202-207 (2015).