

Quantum Flux Parametron Latch を用いた 8-word×1-bit レジスタ

ファイルの省面積化

Reduction of the circuit area of an 8-word by 1-bit register file using quantum flux parametron latch

横国大理工¹, 横浜国大 IAS², JST さきがけ³

○(B)田村 智大¹, 竹内 尚輝^{2,3}, Christopher Ayala², 山梨 裕希^{1,2}, 吉川 信行^{1,2}

Dept. of Electrical and Computer Eng., Yokohama Nat' l Univ.¹,

IAS, Yokohama Nat' l Univ.², JST-PRESTO³

○Tomohiro Tamura¹, Naoki Takeuchi^{2,3}, Christopher Ayala², Yuki Yamanashi^{1,2},

Nobuyuki Yoshikawa^{1,2}

E-mail: tamura-tomohiro-sz@ynu.jp

現在の情報化社会において半導体集積回路で主に用いられている CMOS 回路は、消費電力の増大や微細加工技術の限界といった問題から、性能の限界が近づいている。そこで我々は、半導体に代わる新たなデバイスとして、超伝導集積回路の断熱型量子磁束パラメトロン (AQFP : Adiabatic Quantum Flux Parametron) 回路の研究を行っている。AQFP 回路は CMOS 回路より消費電力が 5-6 桁ほど少なく、低消費電力性に優れる[1]。

我々は AQFP 回路を用いた MPU の実現に向けて、レジスタファイルの開発を進めている。レジスタファイルは MPU において、演算に必要なデータを一時的に保持する役割を持つ。これまで帰還型の D ラッチを用いた 8-word x 1-bit レジスタファイルが設計されている[2]。その回路面積は 3.1mm x 1.9mm であった。今回我々は、レジスタファイルの回路面積を削減するためにラッチ部分に量子磁束パラメトロンラッチ (QFPL) を用いて、レジスタファイル设计了。レイアウトを Fig.1 に示す。QFPL を用いた 8-word x 1-bit レジスタファイルの回路面積は 3.0mm x 1.9mm である。今後、word 数が増えるにつれて、QFPL を用いることで、さらなる面積削減が見込める。詳細

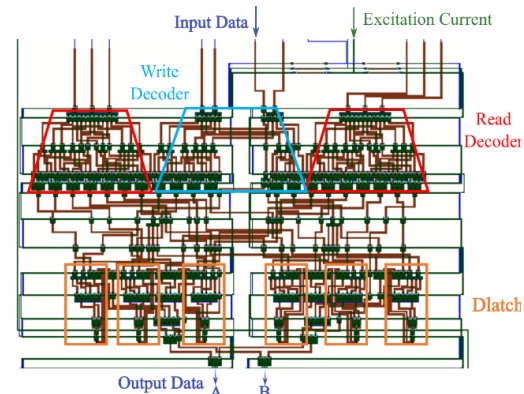


Fig. 1 Layout of 8-word by 1-bit register file using QFPL

については発表で報告する。

謝辞

本研究に使用された回路は、産業技術総合研究所 (AIST) の超伝導クリーンルーム CRAVITY において STP2 を用いて作製された。本研究は JSPS 科研費基盤研究 (S) (26220904) の助成を受けたものである。

参考文献

- [1] N. Takeuchi, et. al., IEEE Trans. Appl. Supercond., vol. 23, 1700304, 2013.
- [2] N. Tsuji, C. L. Ayala, N. Takeuchi, T. Ortlepp, Y. Yamanashi, and N. Yoshikawa, IEEE Trans. Appl. Supercond., vol. 27, 2017.