

AQFP 回路を用いた可逆加算器の提案

Proposal of reversible adders using AQFP

横国大理工¹, 横国大 IAS², JST さきがけ³

○(B)山栄 大樹¹, 竹内 尚輝^{2,3}, 山梨 裕希^{1,2}, 吉川 信行^{1,2}

Dept. of Electrical and Computer Eng., Yokohama Natl. Univ.¹,

IAS, Yokohama Natl. Univ.², JST-PRESTO³

○Taiki Yamae¹, Naoki Takeuchi^{2,3}, Yuki Yamanashi^{1,2}, Nobuyuki Yoshikawa^{1,2}

E-mail: yamae-taiki-zd@ynu.jp

将来のエクサスケールのスーパーコンピュータを CMOS 回路を用いて設計した場合、その消費電力は 100 MW を超えるとされている。このため今後エネルギー効率の高いデバイスを実現する必要がある。そこで、我々は超伝導回路の中でも特に低消費電力性に優れた可逆的量子磁束パラメトロン (Reversible Quantum Flux Parametron; RQFP) [1] ゲートの研究を行っている。RQFP ゲートは断熱型量子磁束パラメトロン (Adiabatic Quantum Flux Parametron; AQFP) [2] 回路を用いて構成された可逆論理ゲートである。3 入力 a, b, c に対する Majority ゲートの出力論理式を $\text{MAJ}(a, b, c) = ab + bc + ca$ とすると、RQFP ゲートの論理式は $F(a, b, c) = (\text{MAJ}(\bar{a}, b, c), \text{MAJ}(a, \bar{b}, c), \text{MAJ}(a, b, \bar{c}))$ となる。可逆的に動作させることにより、RQFP ゲートの消費エネルギーは Landauer の限界よりも少なくすることが可能である。

我々は RQFP ゲートを用いた可逆加算器の開発を行っている。今回 RQFP ゲートを用いた 1-bit 可逆全加算器 (1-bit RFA) と 8-bit carry look-ahead adder (8-bit RCLA) を設計した。1-bit RFA の回路図と 8-bit RCLA のレイアウト図をそれぞれ Fig. 1, Fig. 2 に示す。シミュレーションにおいて RQFP ゲートで構成された加算器は、AQFP ゲートで構成された非可逆の加算器と比較して低消費であることが確認できた。

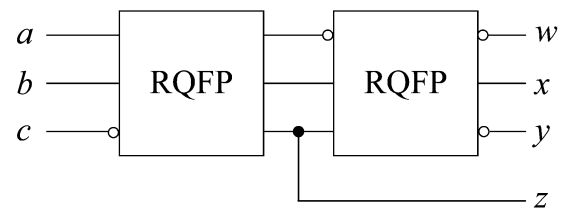


Fig. 1 Schematic of a 1-bit reversible full adder, where w is sum, z is carry, x and y are garbage outputs.

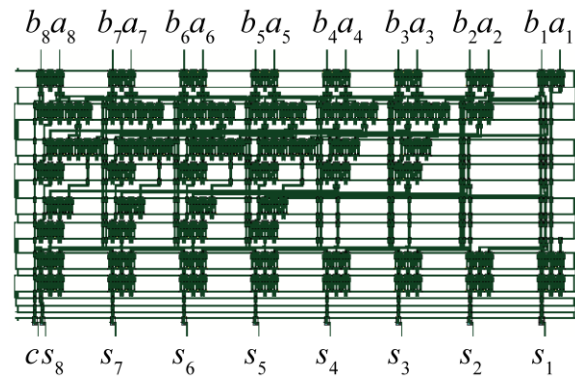


Fig. 2 Layout of an 8-bit RCLA using the AIST-HSTP process.

謝辞

本研究は JSPS 科研費基盤研究 (S) (26220904) の助成を受けたものである。

参考文献

- [1] N. Takeuchi, et. al., Sci. Rep. 4, 6354 (2014).
- [2] N. Takeuchi, et. al., Supercond. Sci. Technol. 26, 035010 (2013).