

# AQFP/CMOS ハイブリッドメモリを用いた AQFP FPGA の設計と評価

## Design and evaluation of an AQFP FPGA using AQFP/CMOS hybrid memories

横浜国大院工<sup>1</sup>, <sup>○</sup>(M1)大熊 幸寛<sup>1</sup>, 山梨 裕希<sup>1</sup>, 吉川 信行<sup>1</sup>

Yokohama Nat'l Univ.<sup>1</sup>, <sup>○</sup>Yukihiro Okuma<sup>1</sup>, Yuki Yamanashi<sup>1</sup>, Nobuyuki Yoshikawa<sup>1</sup>

E-mail: okuma-yukihiro-gz@ynu.jp

断熱型量子磁束パラメトロン (Adiabatic Quantum-Flux-Parametron: AQFP) 回路は低消費電力性、高速動作性、高感度性に優れ、CMOS 回路に代わる回路として期待されている[1]。しかし、AQFP 回路は集積度が低いという課題を抱えており、AQFP 回路のみでの大規模回路の作製は困難である。そこで我々は AQFP 回路と CMOS 回路を組み合わせた AQFP/CMOS ハイブリッドメモリを提案している。今回用いる AQFP/CMOS ハイブリッドメモリは、あらかじめ低速で記憶した定数値を AQFP 回路に供給する書き換え可能な ROM である。メモリは、CMOS 回路で構成されるデコーダとメモリセル、ならびに AQFP 回路で構成されるセンス回路からなる。ハイブリッドメモリでは CMOS メモリセルに 8T-SRAM セルを採用している[2]。それによってデータ保持用電源電圧とは別に独立して読み出し用電源電圧を低電圧化することが可能である。センス回路の AQFP 回路は数  $\mu\text{A}$  程度の微小電流を検出可能なので、CMOS メモリからの出力電流を極めて小さくすることで、大幅な低消費電力化が可能である。

今回ハイブリッドメモリを用いる回路として AQFP 回路で構成した Field-Programmable Gate Array (FPGA) の設計を行った。Fig. 1 に概略図を示す。論理回路を決定する Logic Block (LB) と、経路選択を行う Switch Block (SB)、LB と配線を繋ぐ inCB (input Connection Block) と outCB (output Connection Block) で構成される。LB はハイブリッドメモリを用いた 4-bit Look-Up Table と D latch [3]により構成される。SB、inCB、outCB のスイッチ部にはハイブリッドメモリを用いている。AQFP で FPGA を構築する場合、CMOS 回路と異なり、入出力が一方であることを考慮しなくてはならない。そこで図のように信号の方向を定めることで FPGA の構築を行った。Fig. 2 に AQFP FPGA のレイアウト図を示す。接合数は 1680、回路面積は  $1960 \times 3350 \mu\text{m}^2$  である。発表では AQFP FPGA の設計と評価の詳細について報告する。

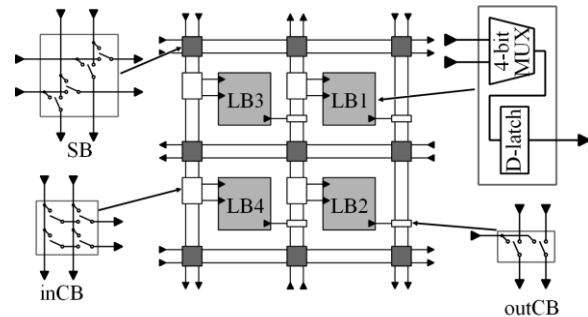


Fig. 1 AQFP FPGA の概略図

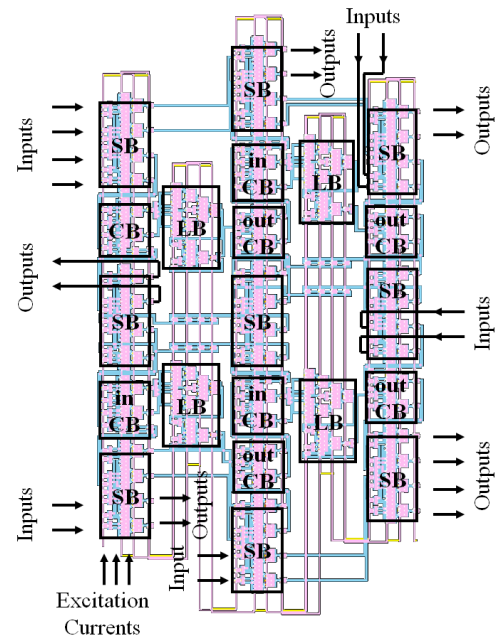


Fig. 2 AQFP FPGA のレイアウト図

### 謝辞

本研究はJSPS 科研費 26220904 の助成を受けたものである。本研究に使用されたデバイスは、産業技術総合研究所(AIST)の超伝導クリーンルーム (CRAVITY) において HSTP を用いて作製された。

### 参考文献

- [1] N. Takeuchi, et al.: *Supercond. Sci. Tech.*, vol. 26 (2013) p.035010
- [2] G. Konno, et al.: *Supercond.*, vol. 27 (2017) p.1300607
- [3] N. Tsuji, et al.: *Supercond.* vol. 27, (2017) p.1300904