

超伝導単一磁束量子回路への π ジョセフソン接合の導入による高性能化

Improvement of the performances of rapid single flux quantum circuit by introducing π -Josephson junctions

横国大理工 [○](B) 中石 爽太郎¹, 山梨 裕希¹, 吉川 信行¹

Yokohama Natl. Univ.¹, [○]Sotaro Nakaishi¹, Yuki Yamanashi¹, Nobuyuki Yoshikawa¹

E-mail: nakaishi-sotaro-xs@ynu.jp

超伝導単一磁束量子回路の高性能化を実現する手段の 1 つに π ジョセフソン接合 (π -JJ) を用いることが上げられる。 π ジョセフソン接合とは接合間の位相において静的な位相シフト π を実現する素子である。この素子は π 接合と呼ばれ、単一磁束量子回路に導入することで回路動作の安定化や位相シフトによる省面積化、バイアス電流や磁束の削減といった効果を期待することができる。先行研究では π 接合を利用した Toggle-Flip-Flop の動作が報告されているが[1,2]、他の論理ゲートの設計に関する検討は進んでいない。本研究では π 接合を用いたあらゆる論理ゲートの設計方法の確立を目標とした。

Fig. 1 に従来の Escape 機能付き Delay-Flip-Flop (DFFE) と π 接合を導入した DFFE (π -DFFE) の回路図を示す。多くの単一磁束量子論理ゲートは磁束量子 (Φ_0) を保持する超伝導ループ (ストレージループ) を持ち、ストレージループの磁束量子の有無で 2 状態を表現する。通常ジョセフソン接合を用いて単一磁束量子論理ゲートを実現するためには、ストレージループのインダクタンスは磁束量子を保持できるように大きくする必要がある。 π 接合を導入した論理ゲートのストレージループでは、初期状態においても等価的に磁束量子の半分がループに印可されることになるため、ループへの鎖交磁束量が $-0.5\Phi_0$ 、 $0.5\Phi_0$ の状態を 2 状態の表現に用いることができる。また、この 2 状態はストレージループに流れる電流の向きが異なる。この特徴を用いると、 π 接合を導入した論理ゲートではストレージループのバイアス電流が不要となり、ストレージループのインダクタンスを小さくすることが可能である。このストレージループの構成法を用いて、 π 接合を用いた Non Destructive Read-Out (NDRO) や相補出力 NDRO (NDROC) を設計

しシミュレーションによる評価を行った。特に π 接合を用いた NDROC (π -NDROC)は回路構成を大幅に簡略化できる。従来の NDROC と比較して π -NDROC ではジョセフソン接合数は 18 個減少し、静的な消費電力は約 74%減少した。 π -NDROC の動作マージンは約 60%の電源電圧マージンを持つ。Fig. 2 に示すように従来の NDROC に比べて遅延時間も小さくすることができる。発表では π 接合を用いた単一磁束量子論理ゲートの設計の詳細と設計した回路の評価結果について述べる。

参考文献

- [1] T. Ortlepp, et al., Science 312 1495-1497, 2006
- [2] T. Ortlepp, et al., IEEE TAS., 17, No. 2, 659-664, 2007

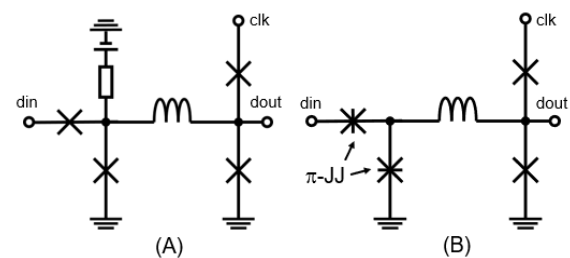


Fig. 1 Conventional DFFE (A) and π -DFFE (B).

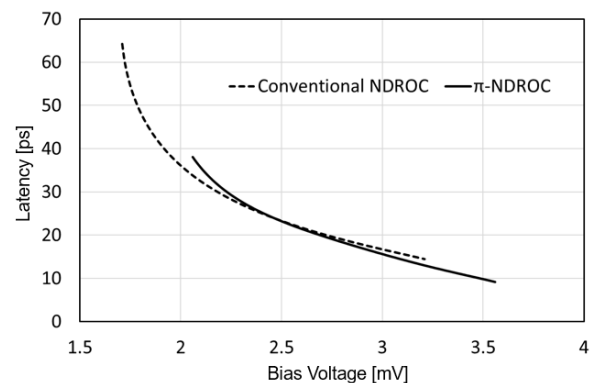


Fig. 2 Comparison of the latency of the conventional NDROC and π -NDROC.