

標準電極電位差を利用した 3 値記憶素子の作製

Fabrication of a three-valued memory device based on the switching of a standard electrode potential

¹東工大物質理工、²JSTさきがけ、³東大工

○(B)渡邊佑紀¹、清水亮太^{1,2}、西尾和記¹、杉山一生¹、リウ ウェイ³、渡邊聡³、一杉太郎¹

¹Tokyo Tech., ²JST-PRESTO, ³Univ. Tokyo

○(B)Y. Watanabe¹, R. Shimizu^{1,2}, K. Nishio¹, I. Sugiyama¹, W. Liu³, S. Watanabe³, and T. Hitosugi¹

E-mail: watanabe.y.bp@m.titech.ac.jp

[序]: 高密度集積に向けたメモリデバイス微細化は物理的限界に近づきつつあり、次世代メモリの研究が活発に行われている。これまで磁気抵抗、強誘電性、抵抗変化等を利用したメモリデバイスが報告されている中で、我々は異種金属間の標準電極電位差を利用した新奇な不揮発性メモリデバイス(VolRAM)を報告した[1]。このVolRAMはLi/Li₃PO₄/Auの薄膜積層構造であり、Li₃PO₄/Au界面での電気化学的なLi-Au合金(0.3 V)、脱合金(0.7 V)可逆反応による電位差変化がメモリ動作に対応すると考えている。さらなる性能向上に向け、電極表面近傍におけるLiイオンの挙動を解明することが重要となる。しかし、Au電極の場合、Liと反応して種々の合金相を形成してしまい、Liイオンの挙動を理解することは容易ではない。そこで本研究では、Liと合金を形成しないNiを用いたメモリ動作を検証し、動作メカニズムの検討を目指した。その結果、3つの異なる電位状態を保持できることを見出したので報告する。

[実験]: デバイス作製の全プロセスにおいて、試料を一度も大気に曝露しないシステムを利用し、清浄な界面を有するVolRAM薄膜素子(Fig.1内に素子断面図を示す)を作製した。ガラス基板の上にNi薄膜(膜厚80 nm)、Li₃PO₄(膜厚800 nm)電解質薄膜をそれぞれDC(Ni:30 W, 1.5 Pa, 1 hour)及びRF(Li₃PO₄:150 W, 0.15 Pa, 3 hours)マグネトロンスパッタリング法により作製した。また、Li薄膜(膜厚1 μm)をLi₃PO₄薄膜上加熱蒸着した。Ni電極とLi電極間に電圧を印加して記録・消去動作を行った。具体的には、線形掃引ボルタンメトリーによる設定カットオフ電圧まで電圧印加後、開放端電位の緩和過程を評価した。

[結果]: Fig. 1に 0 - 4.5 Vの範囲におけるサイクリックボルタンメトリー(掃引速度4 mV/s)の結果を示す。酸化反応において0.48 V、1.8 V、2.3 V、還元反応において0.20 V、1.2 V、1.8 Vでのピーク構造を観測した。NiはLiと合金形成しないこと、及び、この電圧掃引範囲においてLi₃PO₄は電気化学的に安定であることから、Ni金属上における多段階のLi層形成・剥脱反応を観測していることが考えられる。続いて、カットオフ電位を0.18 V、2.0 V、3.5 Vに設定し1 mV/sで電圧掃引させたのち、開放端電位の緩和過程を調べた(Fig. 2)。それぞれ開放端電位は0.9 V、1.4 V、1.8 Vに漸近し、Ni電極上のLi積層量に起因した記憶電圧の違いを維持することがわかった。このように、3値記録を実証することに成功した。

参考文献

[1]: Sugiyama, Hitosugi *et al.*, APL Mater., **5** (2017) 046105.

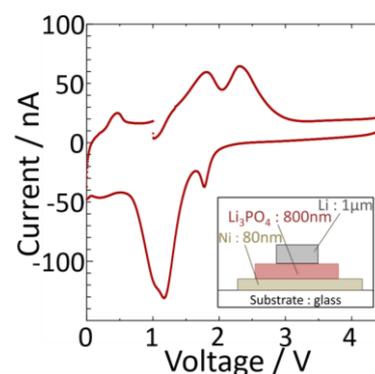


Fig. 1 Cyclic voltammogram. (Inset: schematic illustration of the device structure)

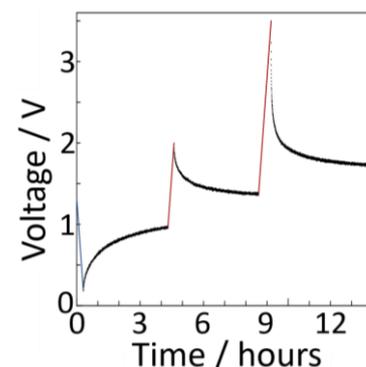


Fig. 2 Time dependence of open circuit voltage after linear sweep voltammetry