GaN 基板上原子層堆積 Al₂O₃ 膜電気伝導特性の動的帯電モデル

Dynamic charging model of current conduction

in atomic-layer-deposited Al₂O₃ films on GaN

早大ナノ・ライフ¹,名大未来研²,**早大理工**³,早大材研⁴

⁰平岩 篤^{1,2}, 大久保 智³, 堀川 清貴³, 川原田 洋^{1,3,4}

RONLI, Waseda Univ.¹, IMaSS, Nagoya Univ.², Fac. Sci. Eng., Waseda Univ.³, KMLMST, Waseda Univ.⁴

^oA. Hiraiwa^{1,2}, S. Okubo³, K. Horikawa³, and H. Kawarada^{1,3,4}

1. 緒言 GaN 素子のゲート絶縁膜には原子層堆積(ALD)Al₂O₃ 膜が有望であるが、実用化に向け信頼性の 確保が課題である。その一つがバイアス不安定性(BI)であり、電圧バイアスにより同膜が帯電しその結果閾値 電圧等が変動することにより生ずる。その一因は、同バイアスに駆動され同膜中を伝導する電荷が膜中に捕獲 されることにある。このため、伝導機構を解明することは BI を改善する上で基本であり、空間電荷制限電界放 出(SCC-FE)過程により電流が流れることを明らかにしてきた[1]。その有効性がこれまで低バイアス電圧に限ら れていたので、本報告では高バイアス電圧にまで対応するよう拡張する。

2. 実験方法 (1)先回[2]同様、低抵抗 n型 c 面 GaN 自立基板上にエピ成長させた低濃度 n型膜に対して、 洗浄後にトリメチルアルミニウムおよび H₂Oを用いた ALD 法により450°C にて Al₂O₃膜を形成した(厚さ33nm)。 ついで、シャドーマスク(開孔寸法 ϕ 226 μ m)を用いた抵抗加熱蒸着法により Al ゲート電極を形成した。(2)ゲ ート電圧を所定の上限まで増加させた後、容量-電圧(*C*-*V*)特性と電流-電圧(*I*-*V*)特性(図1の緑色プロット) を測定した。ついで同電圧上限を引き上げて同測定を反復(青色プロット)した。これら測定結果を SCC-FE 過 程により総合的に解析することにより、Al₂O₃膜中の帯電状態をゲート電圧の関数として解明した(図2)。

3. 結果とその検討 電圧ストレスの有無によらず I-V 特性の測定結果(図1のプロット)とシミュレーション結果 (同実線)は全ゲート電圧に対して良く一致する。同シミュレーションにおいては Al₂O₃ 膜帯電がゲート電圧の 関数として図2(実線)に示すように変化すると仮定した。また、図2の帯電から計算により求めたフラットバンド 電圧も測定結果と良く一致しており(図示せず)、本解析が妥当であることを示している。ちなみに、図2におけ る破線は従来のように帯電がゲート電圧に依存しないとした場合であり、そのシミュレーション結果を図1の破 線にて示す。これら新旧の結果を比較することにより、今回の解析技術の有効性を確認することが出来る。

4. 結言 電圧ストレス後に *C*-*V* 特性と *I*-*V* 特性を測定することにより Al₂O₃ 膜帯電をゲート電圧の関数として 把握することを特徴とする電気伝導特性解析技術を開発した。同技術によりシミュレーションした *I*-*V* 特性は全 電圧範囲において測定結果とよく一致し、その有効性を確認した。【謝辞】本研究は文部科学省「省エネル ギー社会の実現に資する次世代半導体研究開発」の委託を受けたものである。また、同「学際・国際 的高度人材育成ライフイノベーションマテリアル創製共同研究プロジェクト」の支援を得た。





Fig. 2 Sheet of charge in ALD-Al $_2O_3$ films assumed in the simulations in Fig. 1.

【参考文献】[1] A. Hiraiwa, J. Appl. Phys. 119 (2016) 064505. [2] 平岩 篤、第 78 回秋季応物学会, 5p-C17-9 (2017).